

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-260225

(43)Date of publication of application : 16.09.1992

(51)Int.Cl. H04B 3/50

H03K 19/0175

(21)Application number : 03-042847

(71)Applicant : HITACHI LTD

HITACHI VLSI ENG CORP

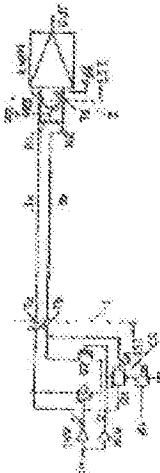
(22)Date of filing : 14.02.1991

(72)Inventor : MIZUKAMI MASAO

SATO YOICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:



PURPOSE: To reduce the current variation of an outputted differential current signal by feeding back the output voltage of a circuit to the gate terminal of a constant current transistor TR directly or through an amplifying circuit.

CONSTITUTION: A transmission circuit provided in an LSI 1 on the transmission side consists of a differential amplifying circuit which consists of differential TRs Q1 and Q2 consisting of a pair of N-MOSFETs having sources connected in common and a constant current source CC connected to the common source terminal of these differential TRs Q1 and Q2, and drain terminals of differential TRs Q1 and Q2 are connected to signal output terminals Ta and Tb of the LSI. In this case, the constant current source CC consists of a pair of N- MOSFETs Q3 and Q4 connected in parallel, and output signals (a) and (b) of the circuit

are directly fed back to gate terminals of constant current TRs Q3 and Q4.

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-260225

(43) 公開日 平成4年(1992)9月16日

(51) Int.Cl.⁵ 識別記号 廣内整理番号 F I 技術表示箇所
H 0 4 B 3/50 9199-5K
H 0 3 K 19/0175
8941-5 J H 0 3 K 19/00 1 0 1 F

審査請求 未請求 請求項の数 3 (全 5 頁)

(21)出願番号	特願平3-42847	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成3年(1991)2月14日	(71)出願人	000233468 日立超エル・エス・アイ・エンジニアリング株式会社 東京都小平市上水木町5丁目20番1号
(72)発明者	水上 雅雄 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内	(74)代理人	弁理士 大日方 富雄

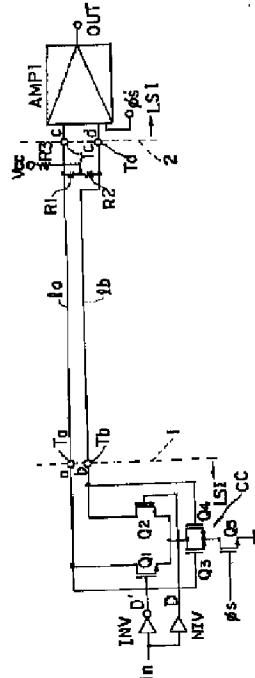
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 CMOS - LSI 間の信号伝送を差動信号による電流駆動方式で行なうシステムにおいて、出力される差動電流信号の電流変動量を少なくしこれによって伝送される信号の振幅を一定化させる。

【構成】 信号の送回路をソース共通接続された一对の差動トランジスタと差動トランジスタの共通ソース端子に接続された定電流源とからなる差動回路によって構成すると共に、上記定電流源を並列形態で接続された一对のトランジスタによって構成し、これらの定電流用トランジスタのゲート端子に回路の出力電圧を、直接もしくは増幅回路を介してフィードバックさせるようにした。

【効果】 信号送出回路の差動出力トランジスタのコンダクタンスのバラツキにより駆動電流が大きくなると定電流源の電流が小さくなるように、また差動出力トランジスタのコンダクタンスのバラツキにより駆動電流が小さくなると定電流源の電流が大きくなるように負帰還がかかるため、伝送信号の振幅が一定化される。



【特許請求の範囲】

【請求項1】 外部へ信号を送信する送信回路をソース共通接続された一対の差動トランジスタとこの差動トランジスタの共通端子に接続された定電流源とからなる差動回路によって構成すると共に、上記定電流源を並列形態で接続された一対のトランジスタによって構成し、これらの定電流用トランジスタの制御端子に回路の出力信号をフィードバックさせるようにしたことを特徴とする半導体集積回路。

【請求項2】 上記定電流用トランジスタの制御端子への回路の出力信号のフィードバックを增幅回路を介して行なうようにしたことを特徴とする請求項1記載の半導体集積回路。

【請求項3】 上記定電流用トランジスタと直列に選択用のスイッチ手段が接続されていることを特徴とする請求項1または2記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、信号伝送技術さらには電流駆動方式による差動伝送に適用して特に有効な技術に関し、例えばプリント基板上におけるCMOS-LSI間の信号伝送に利用して有効な技術に関する。

【0002】

【従来の技術】 従来、LSI間で信号を伝送する方式としては、信号線の電位をハイレベルとロウレベルに振り、受信側でしきい値電圧と比較することで信号レベルを検出する電圧駆動方式が一般的であった。これに対し、近年、例えばCMOS-LSIからなるATM交換機のような高速システムにおいて、図6に示すような回路を用いて信号を電流駆動方式で差動信号として送出する方式が提案されている(1989年電子情報通信学会秋季全国大会 C-133 「CMOS高速I/O回路の一検討」P5-119)。

【0003】 すなわち、図6の回路は、ソース共通接続された一対の差動トランジスタMP2, MP3とその共通ソース端子に接続された定電流用トランジスタMP1およびドレイン端子に接続されたアクティブ負荷トランジスタMN1, MN2とからなる差動増幅段により、出力されるべき信号D, D'を増幅して上記負荷トランジスタMN1, MN2とカレントミラー接続された出力トランジスタMN3, MN4を駆動し、差動電流信号Iout, Iout'を出力させるというものである。

【0004】

【発明が解決しようとする課題】 上記従来の電流駆動方式の送信回路においては、出力トランジスタMN3, MN4のコンダクタンスが製造プロセスのバラツキに依存するため、製造プロセスがばらつくと出力される電流信号Iout, Iout'が大きく変動し、送信側LSIの消費電力がばらつくとともに、伝送される信号の振幅がばらついて信号が受信側のLSIに伝わらなかったり、ノイ

50

ズマージンが低下するという問題点があることが、本発明者らによって明らかにされた。

【0005】 本発明の目的は、CMOS-LSI間の信号伝送を差動信号による電流駆動方式で行なうシステムにおいて、出力される差動電流信号の電流変動量を少なくしこれによって伝送される信号の振幅を一定化できるような差動送信回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、信号の送信回路をソース共通接続された一対の差動トランジスタと差動トランジスタの共通ソース端子に接続された定電流源とからなる差動回路によって構成すると共に、上記定電流源を並列形態で接続された一対のトランジスタによって構成し、これらの定電流用トランジスタのゲート端子に回路の出力電圧を、直接もしくは増幅回路を介してフィードバックせることによってしたるものである。

【0007】

【作用】 差動電流駆動方式の信号伝送においては、伝送線路の受端側に線路の特性インピーダンスに整合された終端抵抗が接続される。この終端抵抗は通常±1%以下の高精度の外付け抵抗で構成される。そのため、信号送出回路の差動出力トランジスタのコンダクタンスのバラツキにより駆動電流が変動すると、送信信号の振幅が変化する。しかるに上記した手段によれば、信号送出回路の出力電圧が定電流用トランジスタのゲート端子にフィードバックされているため、差動出力トランジスタのコンダクタンスのバラツキにより駆動電流が大きくなると定電流源の電流が小さくなるように、また駆動電流が小さくなると定電流源の電流が大きくなるように負帰還がかかるため、伝送信号の振幅を一定化させるという上記目的を達成することができる。また、駆動電流の変動量が小さい場合にも増幅回路を介してフィードバックせることによって、より高い安定化を図ることができる。

【0008】

【実施例】 図1には、本発明に係る伝送回路の一実施例が示されている。この実施例の伝送回路は、プリント基板上に搭載された2つのCMOS-LSI1, 2間をプリント配線からなる伝送線路1a, 1bによって接続した構成として示されている。送信側のLSI1内に設けられた送信回路は、ソース共通接続された一対のN-MOSFETからなる差動トランジスタQ1, Q2と、この差動トランジスタQ1, Q2の共通ソース端子に接続された定電流源CCとからなる差動増幅回路によって構成され、上記差動トランジスタQ1, Q2のドレイン端子がLSIの信号出力端子Ta, Tbに接続されてい

る。この実施例では、上記定電流源CCが、互いに並列形態で接続された一対のN-MOSFET Q3, Q4によって構成され、これらの定電流用トランジスタQ3, Q4のゲート端子に、回路の出力信号a, bが直接フィードバックされるように構成されている。また、上記定電流用トランジスタQ3, Q4のソース端子と接地点との間には、スイッチ用のMOSFET Q5が接続され、このMOSFET Q5のゲート端子には送信回路を活性化する選択信号 ϕs が印加されている。

【0009】上記出力端子TA, Tbには、伝送線路1a, 1bを介して受信側LSIの入力端子Tc, Tdが接続されている。また、伝送線路1a, 1bの受端側は終端抵抗R1, R2およびR3を介して電源電圧端子Vccに接続されている。終端抵抗R1, R2およびR3の値は、伝送線路の特性インピーダンスに整合するよう決定される。なお、AMP1は受信側LSIに設けられた受信回路としての差動センスアンプである。送信信号a, bのレベルは上記伝送線路1a, 1bの抵抗値と受端側の終端抵抗R1, R2, R3の値および送信回路の駆動電流とによって決まる。伝送線路1a, 1bの抵抗値はプリント基板上の配線の場合、100Ω程度のかなり低い値になる。この実施例では、受信側のLSIに高感度のセンスアンプを用いることにより、送信信号の振幅が300mV程度で済むように駆動電流が決定され、その電流値が得られるように送信回路の各素子の定数が設定されている。

【0010】次に、上記信号伝送回路の動作を図5のタイミングチャートを用いて説明する。この実施例では、送信側のLSI1で送信データinが発生すると、インバータINVおよびノンインバータNIVによって相補信号D', Dが形成されて、出力回路の差動トランジスタQ1, Q2のゲート端子に供給される。これとともに、内部制御回路から供給される選択信号 ϕs がハイレベルに変化されると、送信回路が動作状態になり、図5

(C), (D)に示すような波形の信号a, bが、出力端子Ta, Tbより伝送線路1a, 1b上に出力される。

【0011】この実施例では、上記送信信号a, bが送信回路内の定電流用トランジスタQ3, Q4のゲート端子にフィードバックされているため、送信信号のレベルが予定していたレベルよりも高くなると、定電流用トランジスタQ3, Q4に流される電流が増加して差動トランジスタQ1, Q2のドレイン電圧が下がり、送信信号のレベルが下がる。一方、送信信号a, bのレベルが予定していたレベルよりも低くなると、定電流用トランジスタQ3, Q4に流される電流が減少して差動トランジスタQ1, Q2のドレイン電圧が上がり、送信信号a, bのレベルが上がる。このようにして送信回路の入力側に負帰還がかかることにより、伝送回路の駆動電流が一定にされ、送信信号a, bの振幅が安定するようにな

40 50

る。一方、送信回路内の駆動トランジスタQ1, Q2は伝送線路1a, 1bや終端抵抗R1, R2, R3の抵抗値に比べて高い抵抗値となる。従って、受信信号c, dは電源電圧Vccに近いレベルを振幅の中心として揺動される。受信信号c, dが、選択信号 $\phi s'$ によって活性化された受信側のセンスアンプAMP1に入力されると、増幅されて図5(F)のような信号OUTが出力される。

【0012】図2には、本発明の他の実施例が示されている。この実施例は、上記実施例における送信側LSI1の出力端子Ta, Tbから定電流用トランジスタQ3, Q4のゲート端子へのフィードバック経路の途中に増幅器AMP2を挿入したものである。このように構成することによって、駆動電流の変動量が小さい場合にもその変動量を増幅してフィードバックさせることができるために、送信信号のレベルを一定にすることができる。

【0013】図3には、上記実施例における受信回路AMP1の一構成例が示されている。この実施例の受信回路は、MOSFET Q6-Q12からなる差動増幅段SA1とMOSFET Q13-Q18からなる差動増幅段SA2が2段接続されてなる。すなわち、前段の差動増幅段SA1の出力信号が後段の差動増幅段SA2を構成する差動トランジスタQ16, Q17のゲート端子に印加され、前段の差動増幅段SA1でレベルシフトを行なって後段の差動増幅段SA2での増幅率が最大となるようなバイアス点にシフトするように構成されている。これによって、電源電圧Vccに近いバイアスレベルにある入力信号c, dを効率良く増幅することができる。また、前段の差動増幅段SA1でレベルシフトを行なうようにしているため、伝送線路終端のプルアップ電圧Vccとして受信側LSIの電源電圧と同じ電源電圧を用いることができる。特に制限されないが、前段の差動増幅段SA1ではレベルシフトとともに増幅も行なうように各素子の定数を設定するのが良い。

【0014】なお、図3の受信回路においても、前段の差動増幅段SA1の定電流源を並列形態のMOSFET Q10とQ11とで構成し、そのゲート端子に差動MOSFET Q8, Q9のドレイン電圧を印加することで、出力電圧のバラツキを防止するようにされている。また、差動増幅段SA1および差動増幅段SA2には、スイッチMOSFET Q12, Q18をそれぞれ設けて選択信号 $\phi s'$ によって活性化されるようになっている。さらに、後段の差動増幅段SA2の負荷MOSFET Q14と並列にスイッチMOSFET Q15を接続して、上記選択信号 $\phi s'$ によって非選択時にオンさせることにより出力電圧OUTをハイレベルに固定できるようにしてある。

【0015】図4には、図2に示されている実施例におけるフィードバック経路上の増幅器AMP2の回路例が示されている。この増幅器AMP2の構成は、図3に示

されている受信回路AMP1内の前段の差動増幅器SA1と同一であり、レベルシフトを行ないつつ信号を増幅して出力できるように構成されている。

【0016】以上説明したように、上記実施例は、信号の送信回路をソース共通接続された一对の差動トランジスタと差動トランジスタの共通ソース端子に接続された定電流源とからなる差動回路によって構成すると共に、上記定電流源を並列形態で接続された一对のトランジスタによって構成し、これらの定電流用トランジスタのゲート端子に回路の出力電圧を、直接もしくは増幅回路を介してフィードバックするようにしたので、信号送出回路の差動出力トランジスタのコンダクタンスのパラツキにより駆動電流が大きくなると定電流源の電流が小さくなるように、また差動出力トランジスタのコンダクタンスのパラツキにより駆動電流が小さくなると定電流源の電流が大きくなるように負帰還がかかるため、伝送信号の振幅が一定化される。また、送信信号の振幅が小さいため、消費電力が低く押さええることができるので、信号端子数の多いL.S.I間を高速結合させたい場合にも使用することができるという効果がある。

【0017】また、上記実施例では、送信回路および受信回路にスイッチMOSFETをそれぞれ設けて選択信号 ϕ_s 、 $\phi_{s'}$ によって活性化させるようにしているため、複数のLSIの送信回路と受信回路を一本の伝送線路に接続してバス方式で信号を伝送するように構成することができる。

【0018】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、送信回路および受信回路がCMOS回路で構成されている場合について説明したが、NMOS回路で構成することも可能である。

【0019】以上の説明では主として本発明者によって

なされた発明をその背景となった利用分野であるプリンタ基板上におけるLSI間の信号伝送に適用した場合について説明したが、この発明はそれに限定されるものではなく、ツイステッドペア線によるLSI間の信号伝送に利用することができる。

[0 0 2 0]

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、CMOS-LSI間の信号伝送を差動信号による電流駆動方式で行なうシステムにおいて、出力される差動電流信号の電流変動量を少なくし、これによって伝送される信号の振幅を一定化することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路を用いた信号伝送回路の一実施例を示す回路図である。

【図2】信号伝送回路の他の実施例を示す回路図である。

【図3】受信回路の具体的構成例を示す回路図である。

【図4】フィードバック経路上の增幅回路の具体的構成例を示す回路図である

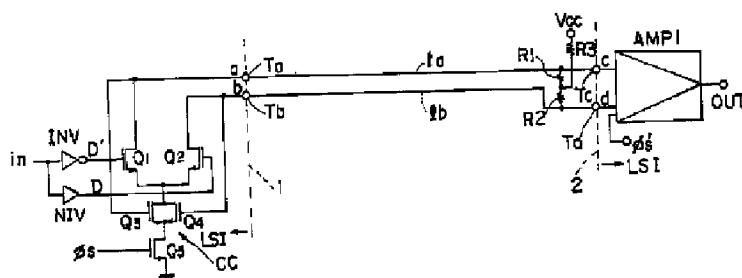
【図5】信号伝送回路の動作タイミングを示すタイムチャートである。

【図6】従来の電流駆動方式の信号送信回路の一例を示す回路図である。

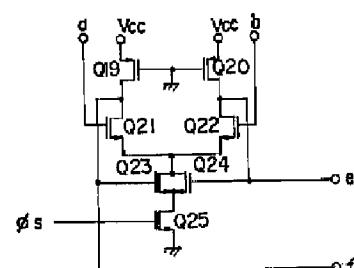
【符号の説明】

1 送信側LSI
 2 受信側LSI
 1a, 1b 伝送線路
 R1, R2, R3 終端抵抗
 AMP1 受信回路
 Q1, Q2 差動トランジスタ
 Q3, Q4 定電流用トランジスタ

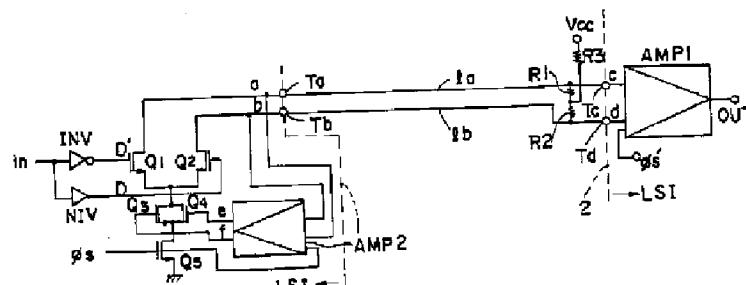
[图1]



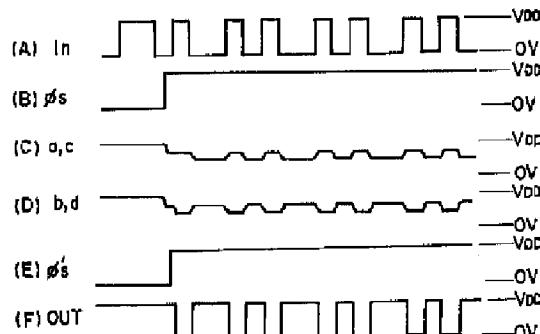
【图4】



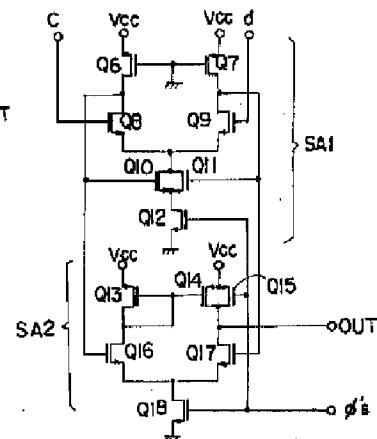
【図2】



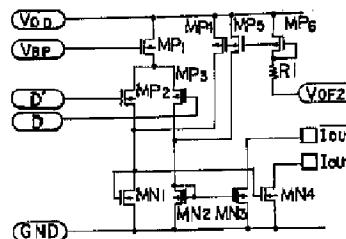
【図5】



【図3】



【図6】



フロントページの続き

(72)発明者 佐藤 陽一

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-162942**
(43)Date of publication of application : **21.06.1996**

(51)Int.Cl. **H03K 19/0175**
H03K 19/0185
H03K 19/018
H03K 19/0944

(21)Application number : **06-295174** (71)Applicant : **MITSUBISHI ELECTRIC CORP**
(22)Date of filing : **29.11.1994** (72)Inventor : **SATO HIROTOSHI**
WADA TOMOHISA

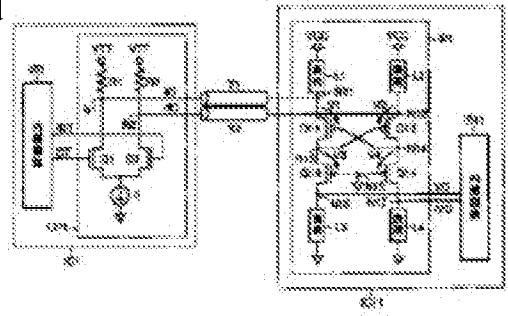
P

(54) OUTPUT CIRCUIT, INPUT CIRCUIT AND INPUT/OUTPUT INTERFACE SYSTEM USING THEM

(57)Abstract:

PURPOSE: To provide an output circuit, an input circuit and an input/output interface system using them capable of transmitting signals at a high speed with low power consumption.

CONSTITUTION: Complementary logic signals DT and /DT outputted from an internal circuit IS1 are converted to complementary current signals IO and /IO in this output circuit OP1 and outputted to transmission lines T1 and T2 in a current mode. This input circuit IP1 converts the inputted complementary current signals IO and /IO to complementary voltage signals VO and /VO and outputs them to the internal circuit IS11 in a voltage mode.



P

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-162942

(43)公開日 平成8年(1996)6月21日

(51)Int.Cl.⁸
H 03 K 19/0175
19/0185
19/018

識別記号 庁内整理番号

F I

技術表示箇所

H 03 K 19/00 101 F
101 C

審査請求 未請求 請求項の数18 O.L (全20頁) 最終頁に続く

(21)出願番号 特願平6-295174

(22)出願日 平成6年(1994)11月29日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 佐藤 広利

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユ一・エル・エス・アイ開発研究
所内

(72)発明者 和田 知久

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユ一・エル・エス・アイ開発研究
所内

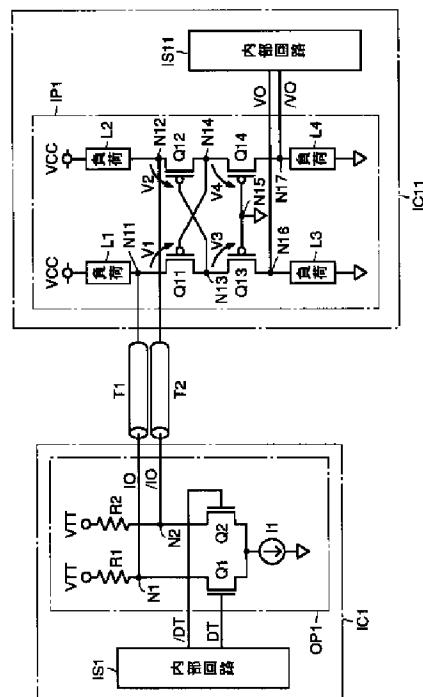
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 出力回路、入力回路、およびこれらを用いた入出力インターフェースシステム

(57)【要約】

【目的】 低消費電力で高速に信号を伝送することができる出力回路、入力回路、およびこれらを用いた入出力インターフェースシステムを提供する。

【構成】 内部回路IS1から出力される相補論理信号DT、/DTを出力回路OP1で相補電流信号IO、/IOの変換し、伝送線路T1、T2へ電流モードで出力する。入力回路IP1は、入力した相補電流信号IO、/IOを相補電圧信号VO、/VOに変換し、電圧モードで内部回路IS1へ出力する。



【特許請求の範囲】

【請求項1】 互いに相補な第1および第2相補電流信号を伝送路を介して電流モードで外部へ伝送する出力回路であって、

互いに相補な第1および第2相補論理信号を受ける入力端と、

前記入力端へ入力された前記第1および第2相補論理信号の電位に応じて、前記第1および第2相補電流信号を電流モードで外部へ出力する出力手段を含む出力回路。

【請求項2】 前記出力手段の終端に接続され、所定の終端電位を受ける抵抗手段をさらに含む請求項1記載の出力回路。

【請求項3】 前記抵抗手段は、

一端に前記終端電位を受ける第1および第2抵抗を含み、

前記出力手段は、

電流源と、

前記第1相補論理信号を受けるゲートを有し、一端が前記第1抵抗に接続され、他端が前記電流源と接続される第1N MOSトランジスタと、

前記第2相補論理信号を受けるゲートを有し、一端が前記第2抵抗に接続され、他端が前記電流源と接続される第2N MOSトランジスタとを含む請求項2記載の出力回路。

【請求項4】 前記出力手段は、

前記第1相補論理信号を受けるゲートを有し、一端に接地電位を受ける第1プルダウン用N MOSトランジスタと、

前記第2相補論理信号を受けるゲートを有し、一端に前記接地電位を受ける第2プルダウン用N MOSトランジスタとを含む請求項1記載の出力回路。

【請求項5】 前記出力手段は、

前記第1相補論理信号を受けるゲートを有し、一端に電源電圧を受ける第1プルアップ用P MOSトランジスタと、

前記第2相補論理信号を受けるゲートを有し、一端に前記電源電圧を受ける第2プルアップ用P MOSトランジスタとを含む請求項1記載の出力回路。

【請求項6】 外部から伝送路を介して電流モードで伝送される互いに相補な第1および第2相補電流信号を受ける入力回路であって、

前記第1および第2相補電流信号を受ける入力端と、前記入力端へ入力された前記第1および第2相補電流信号の電流変化を電圧変化へ変換し、前記第1および第2相補電流信号の電流に応じた互いに相補な第1および第2相補電圧信号を電圧モードで内部へ出力する変換手段を含む入力回路。

【請求項7】 前記変換手段は、

前記第1および第2相補電流信号の電流を差動し、電流変化を電圧変化へ変換するカレントコンベイ回路を含む

請求項6記載の入力回路。

【請求項8】 前記カレントコンベイ回路は、一端に前記第1相補電流信号を受け、他端に電源電圧を受ける第1負荷と、

一端が前記第1負荷の一端と接続される第1P MOSトランジスタと、

一端が前記第1P MOSトランジスタの他端と接続され、接地電位を受けるゲートを有する第2P MOSトランジスタと、

一端が前記第2P MOSトランジスタの他端と接続され、他端に前記接地電位を受ける第2負荷と、

一端に前記第2相補電流信号を受け、他端に前記電源電圧を受ける第3負荷と、

一端が前記第1負荷の一端と接続され、他端が前記第1P MOSトランジスタのゲートと接続され、前記第1および第2P MOSトランジスタの接続点の電位を受けるゲートを有する第3P MOSトランジスタと、

一端が前記第3P MOSトランジスタの他端および前記第1P MOSトランジスタのゲートと接続され、前記接地電位を受けるゲートを有する第4P MOSトランジスタと、

一端が前記第4P MOSトランジスタの他端と接続され、他端に前記接地電位を受ける第4負荷とを含み、

前記第2P MOSトランジスタと前記第2負荷との接続点から前記第1相補電圧信号が出力され、前記第4P MOSトランジスタと前記第4負荷との接続点から前記第2相補電圧信号が出力される請求項7記載の入力回路。

【請求項9】 前記カレントコンベイ回路は、

一端に前記第1相補電流信号を受け、他端に接地電位を受ける第1負荷と、

一端が前記第1負荷の一端と接続される第1N MOSトランジスタと、

一端が前記第1N MOSトランジスタの他端と接続され、電源電圧を受けるゲートを有する第2N MOSトランジスタと、

一端が前記第2N MOSトランジスタの他端と接続され、他端に前記電源電圧を受ける第2負荷と、

一端に前記第2相補電流信号を受け、他端に前記接地電位を受ける第3負荷と、

一端が前記第1負荷の一端と接続され、他端が前記第1N MOSトランジスタのゲートと接続され、前記第1および第2N MOSトランジスタの接続点の電位を受けるゲートを有する第3N MOSトランジスタと、

一端が前記第3N MOSトランジスタの他端および前記第1N MOSトランジスタのゲートと接続され、前記電源電圧を受けるゲートを有する第4N MOSトランジスタと、

一端が前記第4N MOSトランジスタの他端と接続され、他端に前記電源電圧を受ける第4負荷とを含み、

前記第2 NMOSトランジスタと前記第2負荷との接続点から前記第1相補電圧信号が output され、

前記第4 NMOSトランジスタと前記第4負荷との接続点から前記第2相補電圧信号が output される請求項7記載の入力回路。

【請求項10】 前記入力端は、

前記第1相補電圧信号を受ける第1入力端と、

前記第2相補電圧信号を受ける第2入力端とを含み、

前記入力回路は、

一端が前記第1入力端と接続され、他端に所定の終端電位を受ける第1終端抵抗と、

一端が前記第2入力端と接続され、他端に前記終端電位を受ける第2終端抵抗とをさらに含む請求項6記載の入力回路。

【請求項11】 外部から伝送路を介して電流モードで伝送される電流信号を受ける入力回路であって、

前記電流信号の電位と所定の基準電位とを比較する比較手段と、

前記比較手段による比較結果に応じて、前記電流信号の電流に応じた電圧信号を電圧モードで内部に出力する出力手段とを含む入力回路。

【請求項12】 前記比較手段は、

負側入力端子に前記電流信号を受け、正側入力端子に前記基準電位を受けるコンパレータを含み、

前記出力手段は、

前記コンパレータの出力信号を受けるゲートを有し、一端に前記電流信号を受けるNMOSトランジスタと、

一端が前記NMOSトランジスタの他端と接続され、他端に電源電圧を受ける負荷とを含み、

前記NMOSトランジスタと前記負荷との接続点から前記電圧信号が output される請求項11記載の入力回路。

【請求項13】 前記比較手段は、

正側入力端子に前記電流信号を受け、負側入力端子に前記基準電位を受けるコンパレータを含み、

前記出力手段は、

前記コンパレータの出力信号を受けるゲートを有し、一端に前記電流信号を受け、他端に電源電圧を受ける第1PMOSトランジスタと、

前記コンパレータの出力信号を受けるゲートを有し、一端に前記電源電圧を受ける第2PMOSトランジスタと、

一端が前記第2PMOSトランジスタの他端と接続され、他端に接地電位を受ける負荷とを含み、

前記第2PMOSトランジスタと前記負荷との接続点から前記電圧信号が output される請求項11記載の入力回路。

【請求項14】 前記比較手段は、

一端に前記電流信号を受ける第1NMOSトランジスタと、

一端およびゲートが前記第1NMOSトランジスタの他

端と接続され、他端に電源電圧を受ける第1PMOSトランジスタと、

一端に前記基準電位を受け、他端およびゲートが前記第1NMOSトランジスタのゲートと接続される第2NMOSトランジスタと、

一端が前記第2NMOSトランジスタの他端およびゲートと接続され、他端に前記電源電圧を受け、前記第1PMOSトランジスタのゲートおよび前記第1NMOSトランジスタと前記第1PMOSトランジスタとの接続点と接続されるゲートを有する第1PMOSトランジスタとを含み、

前記出力手段は、

前記第2PMOSトランジスタのゲートと接続されるゲートを有し、一端に前記電源電圧を受ける第3PMOSトランジスタと、

一端が前記第3PMOSトランジスタの他端と接続され、他端に接地電位を受ける負荷とを含み、

前記第3PMOSトランジスタと前記負荷との接続点から前記電圧信号が output される請求項11記載の入力回路。

【請求項15】 前記比較手段は、

一端に前記電流信号を受ける第1PMOSトランジスタと、

一端が前記第1PMOSトランジスタの他端と接続され、他端に接地電位を受ける第1NMOSトランジスタと、

一端が前記第1PMOSトランジスタのゲートと接続され、他端が前記基準電位を受ける抵抗と、

一端が前記抵抗の一端および前記第1PMOSトランジスタのゲートと接続され、前記第1PMOSトランジスタと前記第1NMOSトランジスタとの接続点と接続されるゲートを有する第2PMOSトランジスタと、

一端が前記第2PMOSトランジスタの他端と接続され、他端に前記接地電位を受け、前記第2PMOSトランジスタの他端および前記第1NMOSトランジスタのゲートと接続されるゲートを有する第2NMOSトランジスタとを含み、

前記出力手段は、

前記第2NMOSトランジスタのゲート接続されるゲートを有し、他端に前記接地電位を受ける第3NMOSトランジスタと、

一端が前記第3NMOSトランジスタの他端と接続され、他端に電源電圧を受ける負荷とを含み、

前記第3NMOSトランジスタと前記負荷との接続点から前記電圧信号が output される請求項11記載の入力回路。

【請求項16】 出力用半導体装置から入力用半導体装置へ伝送路を介して電流モードで互いに相補な第1および第2相補電流信号を電流モードで伝送する入出力インターフェースシステムであって、

前記出力用半導体装置は、
前記第1および第2相補電流信号を電源モードで前記伝送路へ出力する出力回路を含み、
前記入力用半導体装置は、
前記伝送路を介して入力した前記第1および第2相補電流信号の電流変化を電圧変化へ変換し、前記第1および第2相補電流信号の電流に応じた互いに相補な第1および第2相補電圧信号を電圧モードで内部に出力する入力回路を含む入出力インターフェースシステム。

【請求項17】前記入力用半導体装置は、
前記第1相補電圧信号を受ける第1入力端と、
前記第2相補電流信号を受ける第2入力端と、
前記第1入力端と接続され、他端に所定の終端電位を受ける第1終端抵抗と、
前記第2入力端と接続され、他端に前記終端電位を受ける第2終端抵抗とをさらに含む請求項16記載の入出力インターフェースシステム。

【請求項18】出力用半導体装置から入力用半導体装置へ伝送路を介して電流モードで電流信号を伝送する入出力インターフェースシステムであって、
前記出力用半導体装置は、

MOSトランジスタから構成され、前記電流信号を電流モードで前記伝送路へ出力する出力回路を含み、
前記入力用半導体装置は、

前記伝送路を介して入力した前記電流信号の電流変化を電圧変化へ変換し、前記相補電流信号の電流に応じた電圧信号を電圧モードで内部に出力する入力回路を含む入出力インターフェースシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電流モードを用いてデータを伝送するための出力回路、入力回路、およびこれらを用いた入出力インターフェースシステムに関するものである。

【0002】

【従来の技術】従来、半導体装置間のデータ転送の規格として、TTL (Transistor-Transistor Logic)、LVTT (Low Voltage TTL) 等のインターフェース規格がある。これらの伝送方法は、伝送する信号の電圧の振幅を変化させ、振幅の変化を検知する電圧モードによるものであった。しかしながら、半導体装置の動作周波数の高速化に伴い、100MHz以上の周波数を有する信号を伝送する場合、遅延、反射等の問題が発生する。このため、GTL (Gunning Transceiver Logic)、CTT (Center Tapped Termination) 等の小振幅インターフェース規格が提案されている。これらの小振幅インターフェース規格に用いられる出力回路には、プッシュプル型出力回路とオープン・ドレイン型出力回路がある。

【0003】まず、従来の出力回路であるプッシュプル型出力回路について図面を参照しながら説明する。図12は、従来のプッシュプル型出力回路を用いた入出力インターフェースシステムの構成を示すブロック図である。

【0004】図12を参照して、入出力インターフェースシステムは、半導体装置IC101およびIC111を、伝送線路T101を含む。半導体装置IC101は、内部回路IS101、出力回路OP101を含む。出力回路OP101は、PMOSトランジスタQ101、NMOSトランジスタQ102を含む。半導体装置IC111は、抵抗R101、入力回路IP101、内部回路IS111を含む。入力回路IP101は、コンパレータCP101を含む。

【0005】プッシュプル型の出力回路OP101は、プルアップ用のPMOSトランジスタQ101およびプルダウン用のNMOSトランジスタQ102により構成される。PMOSトランジスタQ101およびNMOSトランジスタQ102のゲートには、内部回路IS101から出力される信号を受ける。出力回路OP101は、入力した信号に応じて、ハイレベルまたはローレベルの出力信号を伝送線路T101へ出力する。このとき、出力される信号は、PMOSトランジスタQ101およびNMOSトランジスタQ102により駆動される信号である。

【0006】一方、入力回路IP101は、コンパレータCP101により構成される。伝送線路T101を介して入力された信号は、コンパレータCP101に入力される。コンパレータCP101は、入力ノードN101の電位と基準電位Vrefの電位とを比較し、比較した結果に応じて出力信号を内部回路IS111へ出力する。ここで、入力ノードN101には、終端抵抗R101が接続され、終端抵抗R101の他端は所定の終端電位VTTに接続されており、入力ノードN101の電位が終端電位VTTに終端される。したがって、伝送線路T101の特性インピーダンスと終端抵抗R101のインピーダンスとの整合が取られている。上記の構成により、半導体装置IC101の出力回路OP101から伝送線路T101を介して半導体装置IC111へ信号が伝送される。

【0007】次に、従来のオープン・ドレイン型出力回路について説明する。図13は、従来のオープン・ドレイン型出力回路を用いた入出力インターフェースシステムの構成を示すブロック図である。図13に示す入出力インターフェースシステムと図12に示す入出力インターフェースシステムとで異なる点は、出力回路OP101が出力回路OP102に変更された点であり、その他の点は同様であるので以下詳細な説明を省略する。

【0008】図13を参照して、半導体装置IC102は、内部回路IS101、出力回路OP102を含む。出力回路OP102は、NMOSトランジスタQ103

を含む。

【0009】オープン・ドレイン型出力回路OP102は、プルダウン用のNMOSトランジスタQ103から構成される。NMOSトランジスタQ131のゲートは、内部回路IS101から出力される信号を受ける。NMOSトランジスタQ103は、入力した信号に応じて、ローレベルの出力信号を出力する。一方、ハイレベルの出力に関しては、NMOSトランジスタQ103の駆動力を弱め、終端電位VTTを基準電位Vrefよりも高く設定することにより、ハイレベルの信号が伝送される。上記の動作により、半導体装置IC102の出力回路OP102から伝送線路T101を介して半導体装置IC111へ信号が伝送される。

【0010】次に、GTL規格の入出力インターフェースシステムについて説明する。図14は、従来のGTL規格の入出力インターフェースシステムの構成を示すブロック図である。

【0011】図14を参照して、入出力インターフェースシステムは、半導体装置IC103およびIC112、伝送線路T101を含む。半導体装置IC103は、内部回路IS101、出力回路OP103、終端抵抗R102を含む。出力回路OP103は、インバータG101、G102、PMOSトランジスタQ104、NMOSトランジスタQ105～Q108を含む。半導体装置IC112は、内部回路IS111、入力回路IP102を含む。入力回路IP102は、PMOSトランジスタQ111～Q113、NMOSトランジスタQ114、Q115を含む。

【0012】GTL規格の出力回路OP103は、オープン・ドレイン型回路で構成されており、ターンオフ時の波形歪みを緩和するため、NMOSトランジスタQ106およびQ107は、NMOSトランジスタQ108を徐々にオフにする。また、出力ノードN111は、終端抵抗R102を介して終端電位VTTに終端されている。したがって、伝送線路T101の特性インピーダンスと終端抵抗R102のインピーダンスとの整合が取れるように構成されている。NMOSトランジスタQ108によりローレベルの信号が出力され、ハイレベルの出力に関しては、NMOSトランジスタQ108の駆動力を弱め、終端電位VTTを基準電位Vrefよりも高く設定することにより、ハイレベルの信号が発生される。

【0013】一方、入力回路IP102は、PMOSトランジスタQ111～Q113、NMOSトランジスタQ114およびQ115からなる差動増幅回路によって構成されている。入力回路IP102は、入力ノードN112の電位と基準電位Vrefとを比較し、比較結果を内部回路IS111へ出力する。上記の動作により、IC103から伝送線路T101を介して半導体装置IC112へ信号が伝送される。

【0014】次に、CTT規格の入出力インターフェース

システムについて説明する。図15は、CTT規格の入出力インターフェースシステムの構成を示すブロック図である。

【0015】図15を参照して、入出力インターフェースシステムは、半導体装置IC104およびIC113、伝送線路T1を含む。半導体装置IC104は、内部回路IS102、出力回路OP104を含む。出力回路OP104は、制御論理回路CL、コンパレータCP102、PMOSトランジスタQ121、Q122、NMOSトランジスタQ123、Q124を含む。半導体装置IC113は、内部回路IS111、入力回路IP103、終端抵抗R103を含む。入力回路IP103は、コンパレータCP103を含む。

【0016】CTT規格の出力回路OP104は、2組の出力ドライバにより構成されている。これらのドライバを同時に動作させ、出力がハイレベル/ローレベルの基準電位を超えた後、コンパレータCP102の出力を制御論理回路CLへフィードバックし、制御論理回路CLに接続された出力ドライバをカットオフさせるように制御されている。半導体装置IC113に関しては、図12に示す半導体装置IC111と同様に動作する。上記の動作により、半導体装置IC104から伝送線路T1を介して半導体装置IC113へ信号が伝送される。

【0017】

【発明が解決しようとする課題】上記の各従来例では、いずれのインターフェース規格においても電圧変化により信号を伝送していた。したがって、ボード配線のトータル容量が大きい場合、その容量を充電または放電する必要がある。この結果、信号伝送のために大電流を流す出力バッファが必要となり、かつ、ボード配線容量が充放電されるため、入出力インターフェースに用いられる入力回路および出力回路の消費電流が大きくなるという問題点があった。また、出力回路の出力インピーダンスと伝送線路の特性インピーダンス、および伝送線路の特性インピーダンスと入力回路の入力インピーダンスとの不整合により、信号に反射が生じ、高速に信号を伝送することができないという問題点もあった。

【0018】上記の電圧モードによる入出力インターフェースシステム以外に、電流モードによる入出力インターフェースシステムがある。電流モードのインターフェースとしては、ECL(Emitter Coupled Logic)インターフェースが知られている。たとえば、Tomoaki KAWAMURA氏(NTT LSI Lab.)によって発表された論文“An Extremely Low-power Bipolar Current-mode I/O Circuit for Multi-Gbit/s Interfaces”(1994 Symposium on VLSI Circuits Digital of Technical Papers)がある。上記の論文では、バ

イポーラ・トランジスタを用いた電流モードのインターフェース回路が開示されている。この回路の出力回路は、相補のバイポーラ・トランジスタによって構成されるカレント・スイッチ・ドライバで構成され、入力回路は、コモン・ベース・バイポーラトランジスタで差動電流を受ける構成となっている。

【0019】上記の出力回路および入力回路を用いた場合以下の問題点がある。まず、バイポーラ・トランジスタを用いた場合、プロセス的に高価になる。また、バイアス電流を必要とするため、低消費電力化には向かない。さらに、上記の出力回路および入力回路はバイポーラ・トランジスタの特性を利用した回路であるので、MOSトランジスタへの置換は容易に行なうことはできない。さらに、上記の出力回路および入力回路は、ECLインターフェースとのコンパティビリティを考慮した回路であるので、一般的な半導体記憶装置用のインターフェースへの置換は難しい。以上のような問題点があった。

【0020】また、他の電流モードのECLインターフェースとしては、特開平4-207223号公報に開示される出力回路、特開平4-207224号公報に開示される出力回路、特開昭62-53518号公報に開示される集積回路用出力バッファ回路がある。これらの各公報に開示された回路は、MOSトランジスタを用いたECLインターフェース用の回路である。上記の各回路は、ECLインターフェースとのコンパティビリティを考慮した回路であるので、一般的なデバイス（超高速デバイス等以外のデバイス）の使用環境とは異なるため、一般的な半導体記憶装置用のインターフェースへの適用が難しいという問題点があった。

【0021】また、電流センス回路としては、たとえば、Evert Seevinck (Senior Member, IEEE), Petrus J. van Bers, and Hans Ontrop氏によって発表された論文“Current-Mode Techniques for High-Speed VLSI Circuits with application to Current Sense Amplifier for CMOS SRAM's” (IEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 26, NO. 4, APRIL 1991) に開示された回路がある。この回路は、メモリ・セル・アレイのデータを検知するとともに増幅するために使用される。実際には、数十 μ Aから数百 μ Aの電流を検知し、電流を電圧に変換して数百mVの電圧差に変換するために使用される。この回路は、メモリ・セル・アレイに接続されたビット線に比較的大きな容量がついた場合に有効である。しかしながら、この回路は、メモリ・セル・アレイのデータ検出用に使用されるものであり、上記に述べた入出力インターフェースへの適用は困難であった。

【0022】本発明の目的は、高速にデータを転送することができるとともに、消費電力を低く抑えることができる入力回路、出力回路、およびこれらを用いた入出力インターフェースシステムを提供することである。

【0023】本発明のさらに他の目的は、一般的な半導体記憶装置に適した入力回路、出力回路、および入出力インターフェースシステムを提供することである。

【0024】

【課題を解決するための手段】請求項1記載の出力回路は、互いに相補な第1および第2相補電流信号を伝送路を介して電流モードで外部へ伝送する出力回路であって、互いに相補な第1および第2相補論理信号を受ける入力端と、入力端へ入力された第1および第2相補論理信号の電位に応じて、第1および第2相補電流信号を電流モードで外部へ出力する出力手段を含む。

【0025】請求項2記載の出力回路は、請求項1記載の出力回路の構成に加え、出力手段の終端に接続され、所定の終端電位を受ける抵抗手段をさらに含む。

【0026】請求項3記載の出力回路は、請求項2記載の出力回路の構成に加え、抵抗手段は、一端が終端電位を受ける第1および第2抵抗を含み、出力手段は、電流源と、第1相補論理信号を受けるゲートを有し、一端が第1抵抗に接続され、他端が電流源と接続される第1NMOSトランジスタと、第2相補論理信号を受けるゲートを有し、一端が第2抵抗に接続され、他端が電流源と接続される第2NMOSトランジスタとを含む。

【0027】請求項4記載の出力回路は、請求項1記載の出力回路の構成に加え、出力手段は、第1相補論理信号を受けるゲートを有し、一端に接地電位を受ける第1プルダウン用NMOSトランジスタと、第2相補論理信号を受けるゲートを有し、一端に接地電位を受ける第2プルダウン用NMOSトランジスタとを含む。

【0028】請求項5記載の出力回路は、請求項1記載の出力回路の構成に加え、出力手段は、第1相補論理信号を受けるゲートを有し、一端に電源電圧を受ける第1プルアップ用PMOSトランジスタと、第2相補論理信号を受けるゲートを有し、一端に電源電圧を受ける第2プルアップ用PMOSトランジスタとを含む。

【0029】請求項6記載の入力回路は、外部から伝送路を介して電流モードで伝送される互いに相補な第1および第2相補電流信号を受ける入力回路であって、第1および第2相補電流信号を受ける入力端と、入力端へ入力された第1および第2相補電流信号の電流変化を電圧変化へ変換し、第1および第2相補電流信号の電流に応じた互いに相補な第1および第2相補電圧信号を電圧モードで内部に出力する変換手段を含む。

【0030】請求項7記載の入力回路は、請求項6記載の入力回路の構成に加え、変換手段は、第1および第2相補電流信号の電流を差動し、電流変化を電圧変化へ変換するカレントコンペイ回路を含む。

【0031】請求項8記載の入力回路は、請求項7記載の入力回路の構成に加え、カレントコンベイ回路は、一端に第1相補電流信号を受け、他端に電源電圧を受ける第1負荷と、一端が第1負荷の一端と接続される第1PMOSトランジスタと、一端が第1PMOSトランジスタの他端と接続され、接地電位を受けるゲートを有する第2PMOSトランジスタと、一端が第2PMOSトランジスタの他端と接続され、他端に接地電位を受ける第2負荷と、一端に第2相補電流信号を受け、他端に電源電圧を受ける第3負荷と、一端が第1負荷の一端と接続され、他端が第1PMOSトランジスタのゲートと接続され、第1および第2PMOSトランジスタの接続点の電位を受けるゲートを有する第3PMOSトランジスタと、一端が第3PMOSトランジスタの他端および第1PMOSトランジスタのゲートと接続され、接地電位を受けるゲートを有する第4PMOSトランジスタと、一端が第4PMOSトランジスタの他端と接続され、他端に接地電位を受ける第4負荷とを含み、第2PMOSトランジスタと第2負荷との接続点から第1相補電圧信号が outputされ、第4PMOSトランジスタと第4負荷との接続点から第2相補電圧信号が outputされる。

【0032】請求項9記載の入力回路は、請求項7記載の入力回路の構成に加え、カレントコンベイ回路は、一端に第1相補電流信号を受け、他端に接地電位を受ける第1負荷と、一端が第1負荷の一端と接続される第1NMOSトランジスタと、一端が第1NMOSトランジスタの他端と接続され、電源電圧を受けるゲートを有する第2NMOSトランジスタと、一端が第2NMOSトランジスタの他端と接続され、他端に電源電圧を受ける第2負荷と、一端に第2相補電流信号を受け、他端に接地電位を受ける第3負荷と、一端が第1負荷の一端と接続され、他端が第1NMOSトランジスタのゲートと接続され、第1および第2NMOSトランジスタの接続点の電位を受けるゲートを有する第3NMOSトランジスタと、一端が第3NMOSトランジスタの他端および第1NMOSトランジスタのゲートと接続され、電源電圧を受けるゲートを有する第4NMOSトランジスタと、一端が第4NMOSトランジスタの他端と接続され、他端に電源電圧を受ける第4負荷とを含み、第2NMOSトランジスタと第2負荷との接続点から第1相補電圧信号が outputされ、第4NMOSトランジスタと第4負荷との接続点から第2相補電圧信号が outputされる。

【0033】請求項10記載の入力回路は、請求項6記載の入力回路の構成に加え、入力端は、第1相補電圧信号を受ける第1入力端と、第2相補電圧信号を受ける第2入力端とを含み、入力回路は、一端が第1入力端と接続され、他端に所定の終端電位を受ける第1終端抵抗と、一端が第2入力端と接続され、他端に所定の終端電位を受ける第2終端抵抗とをさらに含む。

【0034】請求項11記載の入力回路は、外部から伝

送路を介して電流モードで伝送される電流信号を受ける入力回路であって、電流信号の電位と所定の基準電位とを比較する比較手段と、比較手段による比較結果に応じて、電流信号の電流に応じた電圧信号を電圧モードで内部に出力する出力手段とを含む。

【0035】請求項12記載の入力回路は、請求項11記載の入力回路の構成に加え、比較手段は、負側入力端子に電流信号を受け、正側入力端子に基準電圧を受けるコンパレータを含み、出力手段は、コンパレータの出力信号を受けるゲートを有し、一端に電流信号を受けるN MOSトランジスタと、一端がNMOSトランジスタの他端と接続され、他端に電源電圧を受ける負荷とを含み、NMOSトランジスタと負荷との接続点から電圧信号が outputされる。

【0036】請求項13記載の入力回路は、請求項11記載の入力回路の構成に加え、比較手段は、正側入力端子に電流信号を受け、負側入力端子に基準電位を受けるコンパレータを含み、出力手段は、コンパレータの出力信号を受けるゲートを有し、一端に電流信号を受け、他端に電源電圧を受ける第1PMOSトランジスタと、コンパレータの出力信号を受けるゲートを有し、一端に電源電圧を受ける第2PMOSトランジスタと、一端が第2PMOSトランジスタの他端と接続され、他端に接地電位を受ける負荷とを含み、第2PMOSトランジスタと負荷との接続点から電圧信号が outputされる。

【0037】請求項14記載の入力回路は、請求項11記載の入力回路の構成に加え、比較手段は、一端に電流信号を受ける第1NMOSトランジスタと、一端およびゲートが第1NMOSトランジスタの他端と接続され、他端に電源電圧を受ける第1PMOSトランジスタと、一端に基準電位を受け、他端およびゲートが第1NMOSトランジスタのゲートと接続される第2NMOSトランジスタと、一端が第2NMOSトランジスタの他端およびゲートと接続され、他端に電源電圧を受け、第1PMOSトランジスタのゲートおよび第1NMOSトランジスタと第1PMOSトランジスタとの接続点と接続されるゲートを有する第1PMOSトランジスタとを含み、出力手段は、第2PMOSトランジスタのゲートと接続されるゲートを有し、一端に電源電圧を受ける第3PMOSトランジスタと、一端が第3PMOSトランジスタの他端と接続され、他端に接地電位を受ける負荷とを含み、第3PMOSトランジスタと負荷との接続点から電圧信号が outputされる。

【0038】請求項15記載の入力回路は、請求項11記載の入力回路の構成に加え、比較手段は、一端に電流信号を受ける第1PMOSトランジスタと、一端が第1PMOSトランジスタの他端と接続され、他端に接地電位を受ける第1NMOSトランジスタと、一端が第1PMOSトランジスタのゲートと接続され、他端が基準電位を受ける抵抗と、一端が抵抗の一端および第1PMOS

Sトランジスタのゲートと接続され、第1 PMOSトランジスタと第1 NMOSトランジスタとの接続点と接続されるゲートを有する第2 PMOSトランジスタと、一端が第2 PMOSトランジスタの他端と接続され、他端に接地電位を受け、第2 PMOSトランジスタの他端および第1 NMOSトランジスタのゲートと接続されるゲートを有する第2 NMOSトランジスタとを含み、出力手段は、第2 NMOSトランジスタのゲート接続されるゲートを有し、他端に接地電位を受ける第3 NMOSトランジスタと、一端が第3 NMOSトランジスタの他端と接続され、他端に電源電圧を受ける負荷とを含み、第3 NMOSトランジスタと負荷との接続点から電圧信号が outputされる。

【0039】請求項16記載の入出力インターフェースシステムは、出力用半導体装置から入力用半導体装置へ伝送路を介して電流モードで互いに相補な第1および第2相補電流信号を電流モードで伝送する入出力インターフェースシステムであって、出力用半導体装置は、第1および第2相補電流信号を電流モードで伝送路へ出力する出力回路を含み、入力用半導体装置は、伝送路を介して入力した第1および第2相補電流信号の電流変化を電圧変化へ変換し、第1および第2相補電流信号の電流に応じた互いに相補な第1および第2相補電圧信号を電圧モードで内部に出力する入力回路を含む。

【0040】請求項17記載の入出力インターフェースシステムは、請求項16記載の入出力インターフェースシステムの構成に加え、入力用半導体装置は、第1相補電圧信号を受ける第1入力端と、第2相補電流信号を受ける第2入力端と、一端が第1入力端と接続され、他端に所定の終端電位を受ける第1終端抵抗と、一端が第2入力端と接続され、他端に所定の終端電位を受ける第2終端抵抗とをさらに含む。

【0041】請求項18記載の入出力インターフェースシステムは、出力用半導体装置から入力用半導体装置へ伝送路を介して電流モードで電流信号を伝送する入出力インターフェースシステムであって、出力用半導体装置は、MOSトランジスタから構成され、電流信号を電流モードで伝送路へ出力する出力回路を含み、入力用半導体装置は、伝送路を介して入力した電流信号の電流変化を電圧変化へ変換し、電流信号の電圧に応じた電圧信号を電圧モードで内部に出力する入力回路を含む。

【0042】

【作用】請求項1ないし請求項5記載の出力回路においては、互いに相補な第1および第2相補論理信号に応じた第1および第2相補電流信号を電流モードで外部へ出力することができる。

【0043】請求項6ないし請求項10記載の入力回路においては、電流モードで伝送される互いに相補な第1および第2相補電流信号の電流変化を電圧変化へ変換し、第1および第2相補電流信号の電流に応じた互いに

相補な第1および第2相補電圧信号を電圧モードで内部に出力することができる。

【0044】請求項1ないし請求項15記載の入力回路においては、電流モードで伝送された電流信号の電位と所定の基準電位とを比較し、比較結果に応じて電流信号の電流に応じた電圧信号を電圧モードで内部に出力することができる。

【0045】請求項16および請求項17記載の入出力インターフェースシステムにおいては、出力用半導体装置から第1および第2相補電流信号を電流モードで伝送路へ出力することができ、入力用半導体装置は、入力した第1および第2相補電流信号の電流変化を電圧変化へ変換し、第1および第2相補電流信号の電流に応じた互いに相補な第1および第2相補電流信号を電圧モードで内部に出力することができる。

【0046】請求項18記載の入出力インターフェースシステムにおいては、出力用半導体装置のMOSトランジスタから構成された出力手段から電流信号を電流モードで伝送路へ出力することができ、入力用半導体装置は、入力した電流信号の電流変化を電圧変化へ変換し、電流信号の電流に応じた電圧信号を電圧モードで内部に出力することができる。

【0047】

【実施例】以下、本発明の各実施例を図面参照しながら説明する。図1は、本発明の第1の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【0048】図1を参照して、入出力インターフェースシステムは、半導体装置IC1およびIC11、伝送線路T1、T2を含む。本実施例では、半導体装置IC1から伝送線路T1およびT2を介して電流モードで互いに相補な相補電流信号が半導体装置IC11へ伝送される。半導体装置IC1としては、ダイナミックランダムアクセスメモリ、シンクロナスダイナミックランダムアクセスメモリ、スタティックランダムアクセスメモリ等の一般的な半導体記憶装置が用いられる。半導体装置IC11としては、マイクロプロセッサ等の演算処理装置が用いられる。また、逆に、半導体装置IC1として演算処理装置を用い、半導体装置IC11として一般的な半導体記憶装置を用いてもよい。さらに、半導体装置IC1およびIC11ともに一般的な半導体記憶装置を用いてもよいし、演算処理装置を用いてもよい。以下の各実施例でも同様である。

【0049】半導体装置IC1は、内部回路IS1、出力回路OP1を含む。内部回路IS1から出力回路OP1へ互いに相補な内部データ信号である相補論理信号DT、／DTが出力回路OP1へ入力される。

【0050】出力回路OP1は、終端抵抗R1、R2、NMOSトランジスタQ1Q2、電流源I1を含む。終端抵抗R1の一端には所定の終端電位VTTが供給される。終端抵抗R1の他端はNMOSトランジスタQ1の

一端と接続される。NMOSトランジスタQ1のゲートには相補論理信号DTが供給される。NMOSトランジスタQ1の他端は電流源I1の一端と接続される。電流源I1の他端には接地電位が供給される。終端抵抗R2の一端には終端電位VTTが供給される。終端抵抗R2の他端はNMOSトランジスタQ2の一端と接続される。NMOSトランジスタQ2のゲートには相補論理信号/DTが供給される。NMOSトランジスタQ2の他端は電流源I1の一端と接続される。終端抵抗R1とNMOSトランジスタQ1との接続点であるノードN1は伝送線路T1と接続される。終端抵抗R2とNMOSトランジスタQ2との接続点であるノードN2は伝送線路T2と接続される。

【0051】上記のよう、NMOSトランジスタQ1およびQ2と電流源I1とにより差動型のデータ出力回路が構成される。したがって、内部回路IS1から出力された相補論理信号DT、/DTに応じて、ノードN1、N2から互いに相補な相補電流信号IO、/IOが伝送線路T1、T2へそれぞれ出力される。なお、終端抵抗R1およびR2は、図1に示すように、半導体装置IC1の内部に予め設けてもよいし、半導体装置IC1の外部において接続してもよい。

【0052】半導体装置IC1は、内部回路IS1、入力回路IP1を含む。入力回路IP1は、負荷L1～L4、PMOSトランジスタQ11～Q14を含む。負荷L1の一端には電源電圧VCCが供給される。負荷L1の他端のノードN11には、伝送線路T1およびPMOSトランジスタQ11の一端が接続される。PMOSトランジスタQ11の他端はPMOSトランジスタQ13の一端と接続される。PMOSトランジスタQ13の他端であるノードN16は負荷L3の一端および内部回路IS11と接続される。PMOSトランジスタQ13のゲートはノードN15を介して接地電位を供給される。負荷L3の他端には接地電位が供給される。負荷L2の一端には電源電圧VCCが供給される。負荷L2の他端であるノードN12は、伝送線路T2およびPMOSトランジスタQ12の一端と接続される。PMOSトランジスタQ12のゲートはPMOSトランジスタQ11およびQ13の接続点であるノードN13と接続される。PMOSトランジスタQ12の他端はPMOSトランジスタQ14の一端と接続される。PMOSトランジスタQ12およびQ14の接続点であるノードN14はPMOSトランジスタQ11のゲートと接続される。PMOSトランジスタQ14のゲートはノードN15を介して接地電位が供給される。PMOSトランジスタQ14の他端であるノードN15は負荷L4の一端および内部回路IS11と接続される。負荷L4の他端には接地電位が供給される。

【0053】上記のよう、2つのPMOSトランジスタQ11およびQ12をクロスカップル型に接続し、そ

れらのドレン端子にPMOSトランジスタQ13およびQ14をそれぞれ接続することにより、カレント・コンペイ回路が構成される。したがって、伝送線路T1およびT2から相補電流信号IO、/IOがノードN11、N12に供給される。相補電流信号IO、/IOが逆方向の電流であるいわゆる差動モードの場合、入力回路IP1の入力インピーダンスは小さくなる。逆に、同一の大きさで同一方向の電流が入力されるコモンモードの場合、入力インピーダンスは大きくなる。なお、上記のカレントコンペイ回路を構成するPMOSトランジスタQ11～Q14のサイズ（たとえば、ゲート長およびゲート幅と）を同じにし、また、PMOSトランジスタQ11～Q14を飽和領域で動作させることにより、トランジスタ特性を一致させることができる。このため、PMOSトランジスタQ11～Q14の駆動能力を同一にすることができる、カレントコンペイ回路を有効的に動作させることができる。

【0054】上記の構成の場合、PMOSトランジスタQ11およびQ13は直列に接続され、ノードN13に接続されて電流を流す他のデバイスがないため、PMOSトランジスタQ11およびQ13を流れる電流は等しくなる。また、上記のようにPMOSトランジスタQ11およびQ13は飽和領域で動作しているので、等しい電流が流れる場合ソース・ゲート間に印加される電圧が等しくなる。つまり、PMOSトランジスタQ11の電圧V1とPMOSトランジスタQ13の電圧V3とは等しくなる。

【0055】また、上記と同様に、トランジスタQ12およびQ14に流れる電流も等しくなるので、PMOSトランジスタQ12の電圧V2およびPMOSトランジスタQ14の電圧V4とが等しくなる。この結果、V1+V4=V2+V3となり、ノードN11とノードN16との間の電圧と、ノードN12とノードN17との間の電圧が等しくなる。これは、入力回路IP1のノードN11とノードN12との電位レベルが等しく、電位の振幅がないことを示している。この結果、入力回路IP1は、電位振幅を受けず、電流の差を受けることにより信号を受けることができる。

【0056】したがって、入力された相補電流信号IO、/IOの電流差により、カレントコンペア回路へ流れる電流値が変化し、負荷L3およびL4に流れ込んだ電流によりノードN16およびノードN17に電位振幅が現れる。この電位振幅が互いに相補な相補電圧信号VO、/VOとして内部回路IS11へ出力される。

【0057】上記の動作により、相補電流信号IO、/IOの電流変化が相補電圧信号VO、/VOの電圧変化に変換され、内部回路IS11へ入力される。したがって、内部回路IS11から出力されたデータ信号である相補論理信号DT、/DTが出力回路OP1で相補電流信号IO、/IOに変換され、電流モードにより伝送線路

T1およびT2を介して半導体装置IC11へ入力される。半導体装置IC11は、入力した相補電流信号IO、/IOを電圧モードに変換し、相補電圧信号VO、/VOを内部回路IS11へ出力する。

【0058】次に、図1に示す入出力インタフェースシステムの信号波形について説明する。図2は、図1に示す入出力インタフェースシステムの信号波形を示す図である。図2では、電源電圧VCCを5Vとし、終端電位VDTを2.8Vとした場合の信号波形を示している。電源電圧および終端電位はこの具体例に限定されるものではなく、他の電圧であってもよい。また、図2では、相補論理信号DT、/DT、および相補電圧信号VO、/VOは各信号の電位を示しており、NMOSトランジスタQ1およびQ2、ならびにPMOSトランジスタQ11およびQ12の各信号は、電流値が示されている。

【0059】図2を参照して、相補論理信号DT、/DTが変化すると、PMOSトランジスタQ1およびQ2を流れる電流が変化する。この電流が伝送線路T1およびT2を介して入力回路IP1へ入力され、PMOSトランジスタQ11およびQ12の電流が変化すると、相補電圧信号VO、/VOの電位が変化する。したがって、相補論理信号DT、/DTの電位変化に応じた相補電圧信号VO、/VOが内部回路IS11へ入力される。また、上記一連の過程で、ノードN1、N2、N11、およびN12の電位はほぼ一定の電位となっている。

【0060】以上の動作により、半導体装置IC1から半導体装置IC11へ電流モードで相補電流信号が伝送され、かつ相補電流信号IO、/IOの電位は一定であるため、ボード配線容量が充放電されることなく、低消費電力で信号を伝送することが可能となる。

【0061】また、入力回路IP1は、電圧変化を検知するのではなく電流差を検知するため、伝送線路T1およびT2において信号を振幅させる必要がない。したがって、出力回路OP1の駆動能力を小さくすることができ、デバイスサイズを小さくすることが可能となる。たとえば、従来の電圧モードによる出力回路が約100×200μm²の場合、本実施例の出力回路では約10×30μm²にすることができる、約1桁程度デバイス面積を縮小することが可能となる。

【0062】また、本実施例では、伝送線路T1、T2の入力回路OP1側に終端抵抗が接続されていない。伝送線路T1、T2の特性インピーダンスは、一般的には、50Ω、120Ω等であるのに対して、入力側の回路の入力インピーダンスは小さい。したがって、上記のように入力回路IP1側に何も接続せず、入力インピーダンスを小さく抑えることにより、入力回路IP1により決定される定常電位に終端した状態で伝送線路T1、T2を介して信号を受けることになる。この状態では、

入射電圧は振幅せず、電流は出力回路OP1の出力振幅の2倍の大きさの振幅となる。

【0063】以下、終端抵抗が存在しない場合に2倍の電流差を検知できる理由について説明する。伝送線路の特性インピーダンスをZ₀、伝送線路の入射波の電圧をe₁、電流をi₁、反射波の電圧をe₁'、電流をi₁'、入力側の入力インピーダンスをR、入力側の電圧をe₂、電流をi₂とすると、

$$e_1 + e_1' = e_2 = R i_2 \dots (1)$$

$$i_1 - i_1' = i_2 \dots (2)$$

$$i_1 = e_1 / Z_0 \dots (3)$$

$$i_1' = e_1' / Z_0 \dots (4)$$

となる。次に、(1)、(3)、(4)式より、

$$e_1' = \{ (R - Z_0) / (R + Z_0) \} e_1 \dots (5)$$

となる。次に、(5)式を(1)式へ代入すると、

$$e_2 = \{ 2R / (R + Z_0) \} e_1 \dots (6)$$

となる。次に、(1)、(3)、(6)式より、

$$i_2 = 2i_1 Z_0 / (R + Z_0) \dots (7)$$

となる。次に、(3)～(5)式より、

$$i_1' = \{ (R - Z_0) / (R + Z_0) \} i_1 \dots (8)$$

となる。終端が短絡されている場合、入力インピーダンスRは0となり、(5)～(8)式より、

$$e_1' = -e_1 \dots (9)$$

$$i_1' = -i_1 \dots (10)$$

$$e_2 = 0 \dots (11)$$

$$i_2 = 2i_1 \dots (12)$$

となる。したがって、入力側の電流i₂は、入射波の電流i₁の2倍となり、入力回路IP1は、出力回路OP1の出力振幅の2倍の電流差で検知でき、微小な信号でも安定に検出することが可能となる。

【0064】さらに、本実施例では、出力回路OP1には、終端抵抗R1、R2が接続され、終端電位VTTに終端されている。入力回路IP1の入力インピーダンスは、実際には完全に0Ωではなく、わずかに低い抵抗値(数Ω以下程度)があるので、わずかではあるが反射波を生じる。したがって、伝送線路T1、T2を介して反射電圧、反射電流を返すことになる。しかしながら、上記のように終端抵抗R1、R2により、伝送線路T1、T2の特性インピーダンスと出力側のインピーダンスとの整合が取られているので、再度入力回路IP1へ反射波が入力することを防止することが可能となる。したがって、高速に信号を伝送することが可能となる。

【0065】さらに、終端電位VTTを適当な電位に設定することにより、入力回路IP1の感度のよい領域で入力回路IP1を使用することができ、さらに微小な電流でも安定に検出することが可能となる。

【0066】次に、本発明の第2の実施例について説明する。図3は、本発明の第2の実施例の入出力インタフェースシステムの構成を示すブロック図である。図3に示す入出力インタフェースシステムと図1に示す入出力

インターフェースシステムと異なる点は、ノードN11およびN12に終端抵抗R11、R12が付加された点であり、その他の点は図1に示す入出力インターフェースシステムと同様であるので以下詳細な説明を省略する。

【0067】図3を参照して、半導体装置IC12は、終端抵抗R11、R12をさらに含む。終端抵抗R11の一端には終端電位VTTが供給され、他端はノードN11と接続される。終端抵抗R12も同様にノードN12と接続される。図3では、終端抵抗R11、R12を半導体装置IC12の内部に配置しているが、入力回路IP1の内部に配置してもよいし、半導体装置IC12の外部に接続してもよい。

【0068】上記のように、終端抵抗R11およびR12を付加することにより、伝送線路T1、T2の特性インピーダンスと入力側での入力インピーダンスとの整合を取ることができ、入力側からの反射をなくすことができる。したがって、より高速に信号を伝送することができる。

【0069】次に、本発明の第3の実施例の入出力インターフェースシステムについて説明する。図4は、本発明の第3の実施例の入出力インターフェースシステムの構成を示すブロック図である。図4に示す入出力インターフェースシステムと図3に示す入出力インターフェースシステムとで異なる点は、抵抗R13およびR14が付加された点であり、その他の点は図3に示す入出力インターフェースシステムと同様であるので以下詳細な説明を省略する。

【0070】図4を参照して、半導体装置IC13は、抵抗R13、R14をさらに含む。抵抗R13は、伝送線路T1とノードN11との間に直列に接続される。抵抗R14は、伝送線路T2とノードN12との間に直列に接続される。抵抗R11およびR12は、入力側の保護用の抵抗として機能する。したがって、伝送線路T1、T2の特性インピーダンスと抵抗R13、R14のインピーダンスを含めた入力側の入力インピーダンスとの整合を終端抵抗R11およびR12により取ることにより、入力側の入力インピーダンスが大きくなつた場合でも、反射をなくすことが可能となる。したがって、保護用の抵抗を付加した場合でも、より高速に信号を伝送することが可能となる。

【0071】次に、本発明の第4の実施例の入出力インターフェースシステムについて説明する。図5は、本発明の第4の実施例の入出力インターフェースシステムの構成を示すブロック図である。図5に示す入出力インターフェースシステムと図1に示す入出力インターフェースシステムとで異なる点は、出力回路OP1が出力回路OP2に変更された点であり、その他の点は図1に示す入出力インターフェースシステムと同様であるので以下詳細な説明を省略する。

【0072】図5を参照して、半導体装置IC2は、内

部回路IS1、出力回路OP2を含む。出力回路OP2は、NMOSトランジスタQ3、Q4を含む。NMOSトランジスタQ3のゲートには、内部回路IS1から相補論理信号DTが入力される。NMOSトランジスタQ3の一端は伝送線路T1と接続され、他端は接地電位を受ける。NMOSトランジスタQ4のゲートには内部回路IS1から相補論理信号/DTが入力される。NMOSトランジスタQ4の一端は伝送線路T2と接続され、他端は接地電位を受ける。

【0073】上記のように、出力回路OP2は、プルダウン用のNMOSトランジスタQ3、Q4より構成される。すなわち、出力回路OP2は、プルダウン用のトランジスタのみで構成されるため、回路のサイズを非常に小さくすることが可能となる。

【0074】また、出力回路OP2は、プルダウン用のトランジスタのみで構成されるため、内部回路IS1から出力される相補論理信号DT、/DTのうちハイレベルの信号を受けるNMOSトランジスタが電流を引抜くことになる。一方、半導体装置IC11では、プルダウン用のNMOSトランジスタQ3、Q4が引抜く電流の差を受け、入力回路IP1で差動電流が生じる。したがって、本実施例の入出力インターフェースシステムでも、第1の実施例と同様に、伝送線路T1、T2上には電圧振幅は現れず、電流差で信号が伝送される。この結果、ボード配線に大きな容量がついた場合でもその容量を充放電する必要がないため、低消費電力で高速に信号を伝送することが可能となる。

【0075】次に、本発明の第5の実施例の入出力インターフェースシステムについて説明する。図6は、本発明の第5の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【0076】図6を参照して、入出力インターフェースシステムは、半導体装置IC3、IC12、伝送線路T1、T2を含む。半導体装置IC3は、内部回路IS1、出力回路OP3を含む。出力回路OP3は、PMOSトランジスタQ5、Q6を含む。半導体装置IC12は、内部回路IS11、入力回路IP2を含む。入力回路IP2は、負荷L5～L8、NMOSトランジスタQ15～Q18を含む。

【0077】内部回路IS1から内部データである相補論理信号DT、/DTが出力回路OP3へ出力される。PMOSトランジスタQ5のゲートには、相補論理信号DTが入力される。PMOSトランジスタQ5の一端は電源電圧VCCを受け、他端は伝送線路T1と接続される。PMOSトランジスタQ6のゲートには、相補論理信号/DTが入力される。PMOSトランジスタQ6の一端には電源電圧VCCが供給され、他端は伝送線路T2と接続される。

【0078】負荷L7の一端には接地電位が供給され、他端は、伝送線路T1およびNMOSトランジスタQ1

5の一端と接続される。NMOSトランジスタQ15の他端はNMOSトランジスタQ17の一端と接続される。NMOSトランジスタQ17のゲートには、ノードN25を介して電源電圧VCCが供給される。NMOSトランジスタQ17の他端は負荷L5の一端および内部回路IS11と接続される。負荷L5の他端には電源電圧VCCが供給される。負荷L8の一端には接地電位が供給され、他端は、伝送線路T2およびNMOSトランジスタQ16と接続される。NMOSトランジスタQ16のゲートは、NMOSトランジスタQ15およびQ17の接続点であるノードN23と接続される。NMOSトランジスタQ16の他端はNMOSトランジスタQ18の一端と接続される。NMOSトランジスタQ16およびQ18の接続点であるノードN24は、NMOSトランジスタQ15のゲートと接続される。NMOSトランジスタQ18のゲートはノードN25を介して電源電圧VCCを受ける。NMOSトランジスタQ18の他端は、負荷L6の一端および内部回路IS11と接続される。負荷L6の他端には、電源電圧VCCが供給される。

【0079】上記のように、図6に示す入出力インタフェースシステムは、基本的には図5に示す入出力インタフェースシステムと同様であるが、各デバイスの極性および接続が逆となっている。すなわち、出力回路OP3は、アルアップ用のPMOSトランジスタQ5、Q6から構成され、出力回路OP3の回路サイズは、出力回路OP2と同様に小さくすることが可能となる。また、出力回路OP3がアルアップ用のトランジスタのみから構成されているので、内部回路IS1から出力される相補論理信号DT、/DTのうちローレベルの信号を受けるPMOSトランジスタが電流が引抜くことになる。アルアップ用のPMOSトランジスタQ5、Q6の引抜く電流差を入力回路IP2が受け、入力回路IP2に差動電流が生じる。この結果、本実施例でも、上記の各実施例と同様に、伝送線路T1、T2上には電圧振幅は現れず、電流差で信号が伝送されることになる。したがって、ボード配線に大きな容量がついた場合でもその容量が充放電されがないため、低消費電力で高速に信号を伝送することが可能となる。

【0080】次に、本発明の第6の実施例の入出力インタフェースシステムについて説明する。図7は、本発明の第6の実施例の入出力インタフェースシステムの構成を示すブロック図である。

【0081】図7を参照して、入出力インタフェースシステムは、半導体装置IC4、IC14、伝送線路T1を含む。半導体装置IC4から伝送線路T1を介して電流モードで信号がIC14へ伝送される。すなわち、上記各実施例は、差動モード出力の例を示したが、以下の各実施例では、シングルモード出力の例を示している。

【0082】半導体装置IC4は、内部回路IS2、出

力回路OP4を含む。出力回路OP4は、NMOSトランジスタQ7を含む。内部回路IS2は、内部データである論理信号DTを出力回路OP4へ出力する。NMOSトランジスタQ7のゲートには、論理信号DTが入力される。NMOSトランジスタQ7の一端には接地電位が供給され、他端は伝送線路T1と接続される。したがって、出力回路OP4は、ブルダウン用のNMOSトランジスタQ7のみで構成されるため、論理信号DTがハイレベルのとき、NMOSトランジスタQ7が電流を強く引抜くことになる。

【0083】半導体装置IC14は、内部回路IS12、入力回路IP3を含む。入力回路IP3は、負荷L11、NMOSトランジスタQ21、コンパレータCP1を含む。負荷L11の一端には電源電圧VCCが供給され、他端は、内部回路およびNMOSトランジスタQ21の一端と接続される。NMOSトランジスタQ21の他端は、伝送線路T1およびコンパレータCP1の負側入力端子と接続される。コンパレータCP1の正側入力端子には、基準電位Vrefが入力される。NMOSトランジスタQ21のゲートには、コンパレータCP1の出力が入力される。

【0084】上記の構成により、コンパレータCP1は、基準電位VrefとノードN31の電位とを比較し、NMOSトランジスタQ21のゲート電位を制御する。この結果、ノードN31のブルダウン電流が大きい場合、NMOSトランジスタQ21の電流駆動力がアップされ、ノードN31の電位降下が抑えられる。逆に、ブルダウン電流が小さい場合には、NMOSトランジスタQ21の電流駆動力を抑えて、ノードN31の電位降下が保たれる。この結果、入力回路IP3のNMOSトランジスタQ21を流れるブルダウン電流により、負荷L11に電流が流れ、ノードN32に出力電位が現れる。したがって、ノードN32から電圧信号VOが内部回路IS12へ出力される。

【0085】上記の動作により、論理信号DTがハイレベルのとき、NMOSトランジスタQ7が電流を強く引抜くことにより、入力回路IP3はローレベルのデータを検知する。このとき、伝送線路T2上には、電圧振幅は現れず、電流変化で電流信号IOが伝送されることになる。

【0086】次に、図7に示す入出力インタフェースシステムの信号波形について説明する。図8は、図7に示す入出力インタフェースシステムの信号波形を示す図である。図8では、一例として、電源電圧VCCが5Vの場合を示している。電源電圧VCCはこの値に限定されるものではなく、他の値でもよい。また、図8では、論理信号DTおよび電圧信号VOは、その電位が示されており、NMOSトランジスタQ7およびQ21を流れる信号はその電流値が示されている。

【0087】まず、論理信号DTの電位が立上がりると、

NMOSトランジスタQ7を流れる電流が増加する。次に、NMOSトランジスタQ7を流れる電流の増加に伴い、NMOSトランジスタQ21を流れる電流が増加する。これに応じて、電圧信号VOの電位が下降する。以上の経過により、論理信号DTの電圧変化が電流変化に変換されて伝送され、最終的に電圧信号VOの電圧変化として出力される。また、上記一連の過程で、ノードN7およびN31の電位はほぼ一定の電位となっている。

【0088】上記のように、伝送線路T1上に電圧振幅は現れず、電流変化で信号が伝送される。したがって、ボード配線に大きな容量がついた場合でも、その容量を充放電することができないため、低消費電力で高速に信号を伝送することができる。また、1つの信号を1つの伝送線路で伝達することができるので、システムの小面積および小スペースを実現することができる。

【0089】次に、本発明の第7の実施例の入出力インターフェースシステムについて説明する。図9は、本発明の第7の実施例の入出力インターフェースシステムの構成を示すブロック図である。図9に示す入出力インターフェースシステムと図7に示す入出力インターフェースシステムとで異なる点は、入力回路IP3が入力回路IP4に変更された点であり、その他の点は図7に示す入出力インターフェースシステムと同様であるので以下詳細な説明を省略する。

【0090】図9を参照して、入力回路IP4は、コンパレータCP2、PMOSトランジスタQ22、Q23、負荷L12を含む。コンパレータCP2の負側入力端子には、基準電位Vrefが入力される。コンパレータCP2の正側入力端子は、ノードN35を介して伝送線路T1およびPMOSトランジスタQ22の一端と接続される。PMOSトランジスタQ22の他端には、電源電圧VCCが供給される。NMOSトランジスタQ22およびQ23の各ゲートには、コンパレータCP2の出力信号が入力される。PMOSトランジスタQ22の一端には、電源電圧VCCが供給される。PMOSトランジスタQ23の他端は、ノードN36を介して負荷L12の一端および内部回路IS12と接続される。負荷L12の他端には接地電位が供給される。

【0091】上記の構成により、コンパレータCP2は、基準電位VrefとノードN35の電位とを比較し、PMOSトランジスタQ22およびQ23のゲート電位を制御する。したがって、ノードN35のプルダウン電流が大きい場合には、PMOSトランジスタQ22の電流駆動力をアップして、ノードN35の電位降下を抑える。逆に、プルダウン電流が小さい場合には、PMOSトランジスタQ22の電流駆動力を抑えて、ノードN35の電位降下を保つ。したがって、入力回路IP4のコンパレータCP2の出力電位によりPMOSトランジスタQ23のゲート電位を制御することにより、負荷L12を電流が流れ、ノードN36に出力電位が現れ

る。この結果、ノードN36から電圧信号VOが内部回路IS12へ出力される。

【0092】上記の動作により、論理信号DTがハイレベルの場合、トランジスタQ7が電流を強く引くことにより、入力回路IP4はローレベルのデータを検知する。したがって、本実施例でも、伝送線路T1上には、電圧振幅が現れず、電流変化で信号が伝達される。この結果、ボード配線に大きな容量がついた場合でも、その容量が充放電されることはなく、低消費電力で高速に信号を伝送することが可能となる。

【0093】次に、本発明の第8の実施例の入出力インターフェースシステムについて説明する。図10は、本発明の第8の実施例の入出力インターフェースシステムの構成を示すブロック図である。図10に示す入出力インターフェースシステムと図7に示す入出力インターフェースシステムとで異なる点は、入力回路IP3が入力回路IP5に変更された点であり、その他の点は図7に示す入出力インターフェースシステムと同様であるので以下詳細な説明を省略する。

【0094】図10を参照して、入力回路IP5は、PMOSトランジスタQ31～Q33、NMOSトランジスタQ34、Q35、負荷L13を含む。PMOSトランジスタQ34の一端は、ノードN41を介して伝送線路T1に接続される。NMOSトランジスタQ34の他端はPMOSトランジスタQ31の一端と接続される。PMOSトランジスタQ31の他端には電源電圧VCCが供給される。NMOSトランジスタQ34とPMOSトランジスタQ31との接続点であるノードN42は、PMOSトランジスタQ31およびQ32の各ゲートと接続される。PMOSトランジスタQ32の一端には電源電圧VCCが供給される。PMOSトランジスタQ32の他端は、NMOSトランジスタQ35の一端と接続される。NMOSトランジスタQ35の他端は、基準電位Vrefが供給される。PMOSトランジスタQ32とNMOSトランジスタQ35との接続点であるノードN43は、NMOSトランジスタQ34およびQ35の各ゲートと接続される。

【0095】PMOSトランジスタQ33のゲートは、PMOSトランジスタQ32のゲートと接続される。PMOSトランジスタQ33の一端には電源電圧VCCが供給される。PMOSトランジスタQ33の他端は、ノードN44を介して負荷L13の一端および内部回路IC12と接続される。負荷L13の他端は接地電位が供給される。

【0096】上記の構成により、入力回路IP5では、基準電位VrefとノードN41の電位とが比較され、比較結果に応じてPMOSトランジスタQ32のゲート電位が制御される。したがって、ノードN41のプルダウン電流が大きい場合には、ノードN42の電位が降下し、PMOSトランジスタQ32の電流駆動力がアップ

され、ノードN43の電位が上昇する。この結果、NMOSトランジスタQ34の電流駆動力がアップされ、ノードN41の電位が上昇することになる。したがって、ノードN41の電位振幅はなくなるが、電流振幅は存在することになる。

【0097】逆に、プルダウン電流が小さい場合には、PMOSトランジスタQ32の電流駆動力が抑えられ、ノードN43の電位が降下される。この結果、NMOSトランジスタQ34の電流駆動力が抑えられ、ノードN41の電位が降下することになる。したがって、ノードN42の電位によりPMOSトランジスタQ33のゲート電位が制御され、負荷L13を電流が流れることにより、ノードN44に出力電位が現れる。この結果、ノードN44から電圧信号VOが内部回路IC12へ出力される。

【0098】上記の動作により、論理信号DTがハイレベルの場合、プルダウン用のNMOSトランジスタQ7が電流を強く引くことになり、入力回路IP5は、ローレベルのデータを検知する。したがって、本実施例でも、伝送線路T1上には電圧振幅は現れず、電流変化で信号が伝送される。この結果、ボード配線に大きな容量がついた場合でも、その容量が充放電されることがなく、低消費電力で高速に信号を伝送することが可能となる。

【0099】次に、本発明の第9の実施例の入出力インターフェースシステムについて説明する。図11は、本発明の第9の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【0100】図11を参照して、入出力インターフェースシステムは、半導体装置IC5、IC17、伝送線路T1を含む。半導体装置IC5は、内部回路IS2、出力回路OP5を含む。出力回路OP5は、PMOSトランジスタQ8を含む。内部回路IS2は、内部データである論理信号DTを出力回路OP5へ出力する。PMOSトランジスタQ8のゲートには、論理信号DTが入力される。PMOSトランジスタQ8の一端には電源電圧VCCが供給され、他端はノードN8を介して伝送線路T1と接続される。

【0101】上記のように、出力回路OP5は、プルアップ用のPMOSトランジスタQ8により構成されるので、出力回路OP5の回路サイズを小さくすることが可能となる。また、出力回路OP5は、プルアップ用のPMOSトランジスタQ8により構成されるので、論理信号DTがローレベルの場合、PMOSトランジスタQ8が電流が強く引抜くことになる。

【0102】半導体装置IC17は、内部回路IC12、入力回路IP6を含む。入力回路IP6は、PMOSトランジスタQ23、Q24、NMOSトランジスタQ25～Q27、負荷L14を含む。

【0103】PMOSトランジスタQ23の一端はノードN51を介して伝送線路T1と接続される。PMOSトランジスタQ23の他端はノードN52を介してNMOSトランジスタQ25の一端と接続される。NMOSトランジスタQ25の他端には接地電位が供給される。抵抗R21の一端には基準電位Vrefが供給される。抵抗R21の他端は、ノードN53を介してPMOSトランジスタQ23のゲートおよびPMOSトランジスタQ24の一端と接続される。PMOSトランジスタQ24のゲートは、ノードN52と接続される。PMOSトランジスタQ24の他端は、ノードN54を介して、NMOSトランジスタQ25およびQ26のゲート、ならびにPMOSトランジスタQ26の一端と接続される。NMOSトランジスタQ26の他端には接地電位が供給される。負荷L14の一端には電源電圧VCCが供給される。負荷L14の他端は、ノードN55を介して、NMOSトランジスタQ27の一端および内部回路IC12と接続される。NMOSトランジスタQ27のゲートは、NMOSトランジスタQ25およびQ26の各ゲートと接続される。NMOSトランジスタQ27の他端には接地電位が供給される。

【0104】上記の構成により、内部回路IP6は、基準電位VrefとノードN51の電位とを比較し、この比較結果に応じてPMOSトランジスタQ23のゲート電位が制御される。したがって、ノードN51のプルアップ電流が大きい場合には、PMOSトランジスタQ23の電流駆動力がアップされ、ノードN52の電位が上昇する。この結果、PMOSトランジスタQ24の電流駆動力がダウンし、ノードN54の電位が降下することになる。したがって、PMOSトランジスタQ23およびNMOSトランジスタQ25を介して流れる電流が減少し、ノードN51の電位の上昇が抑えられる。この結果、ノードN51での電位振幅はなくなるが、電流振幅は存在することになる。

【0105】逆に、プルアップ電流が小さい場合には、PMOSトランジスタQ23の電流駆動力が抑えられ、ノードN51の電位が降下する。したがって、PMOSトランジスタQ24の電流駆動力が上昇し、ノードN54の電位が上昇することになる。上記の動作により、ノードN54の電位により、NMOSトランジスタQ27のゲート電位が制御され、負荷L14を電流が流れることによりノードN55に出力電位が現れる。したがって、ノードN55から電圧信号VOが内部回路IC12へ出力される。

【0106】上記の動作により、論理信号DTがローレベルの場合、PMOSトランジスタQ8が電流を強く引くことになり、入力回路IP6は、ハイレベルのデータを検知することになる。したがって、本実施例でも、伝送線路T1上には電圧振幅は現れず、電流変化で信号が伝送される。この結果、ボード配線に大きな容量がついた場合でも、その容量を充放電することがないため、低

消費電力で高速に信号を伝送することが可能となる。

【0107】

【発明の効果】請求項1ないし請求項5記載の出力回路においては、第1および第2相補論理信号に応じた第1および第2相補電流信号を電流モードで外部へ出力することができるので、低消費電力で高速に信号を伝送することができる。

【0108】請求項6ないし請求項10記載の入力回路においては、電流モードで伝送された第1および第2相補電流信号を第1および第2相補電流信号に変換して電圧モードで内部へ出力するので、低消費電力で高速に信号を伝送することができる。

【0109】請求項11ないし請求項15記載の入力回路においては、電流モードで伝送された電流信号の電位と所定の基準電位とを比較し、比較結果に応じて電圧信号を電圧モードで内部へ出力することができるので、低消費電力で高速に信号を伝送することができる。

【0110】請求項16および請求項17記載の入出力インターフェースシステムにおいては、電流モードで第1および第2相補電流信号を出力用半導体装置から入力用半導体装置へ伝送することができるので、低消費電力で高速に信号を伝送することができる。

【0111】請求項18記載の入出力インターフェースシステムにおいては、電流モードで電流信号を出力する半導体装置から入力用半導体装置へ伝送することができるので、低消費電力で高速に信号を伝送することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図2】 図1に示す入出力インターフェースシステムの信号波形を示す図である。

【図3】 本発明の第2の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図4】 本発明の第3の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図5】 本発明の第4の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図6】 本発明の第5の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図7】 本発明の第6の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図8】 図7に示す入出力インターフェースシステムの信号波形を示す図である。

【図9】 本発明の第7の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図10】 本発明の第8の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図11】 本発明の第9の実施例の入出力インターフェースシステムの構成を示すブロック図である。

【図12】 従来のプッシュプル型出力回路を用いた入出力インターフェースシステムの構成を示すブロック図である。

【図13】 従来のオーブンドレイン型出力回路を用いた入出力インターフェースシステムの構成を示すブロック図である。

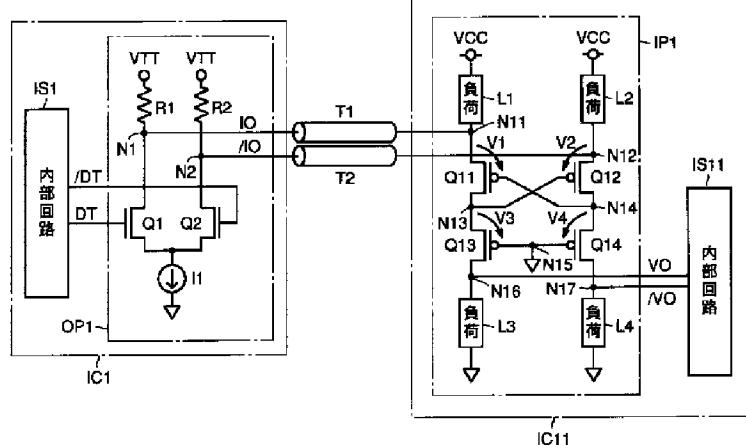
【図14】 従来のTDL規格の入出力インターフェースシステムの構成を示すブロック図である。

【図15】 従来のCTT規格の入出力インターフェースシステムの構成を示すブロック図である。

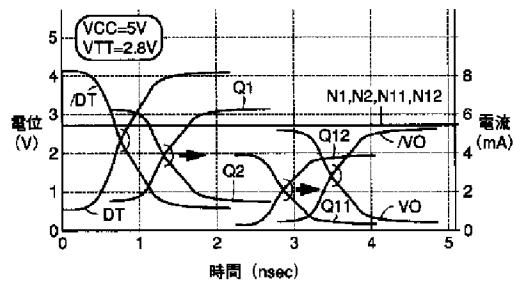
【符号の説明】

IC1 半導体装置、IC11 半導体装置、IS1 内部回路、OP1 出力回路、T1 伝送線路、T2 伝送線路、IS11 内部回路、IP1 入力回路。

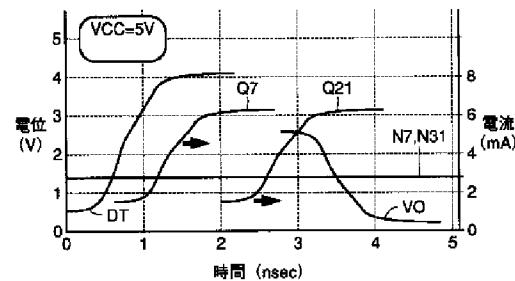
【図1】



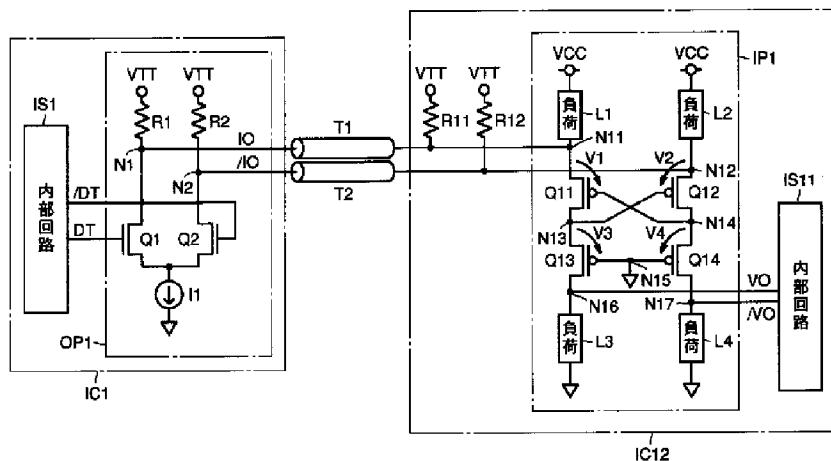
【図2】



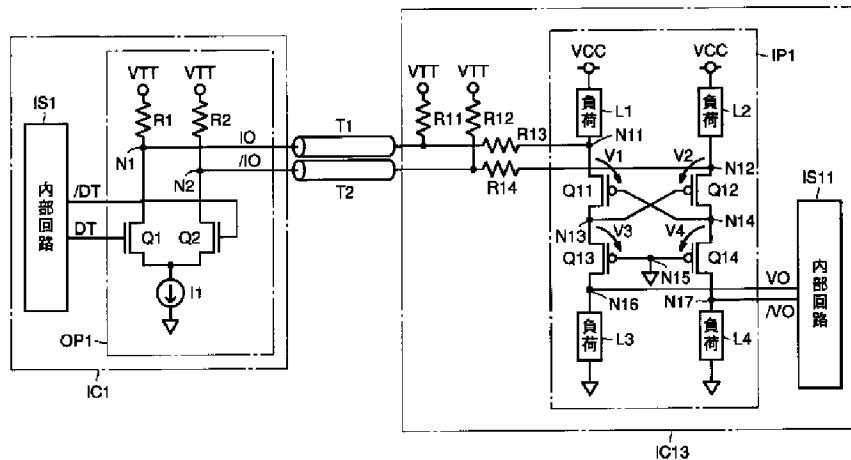
【図8】



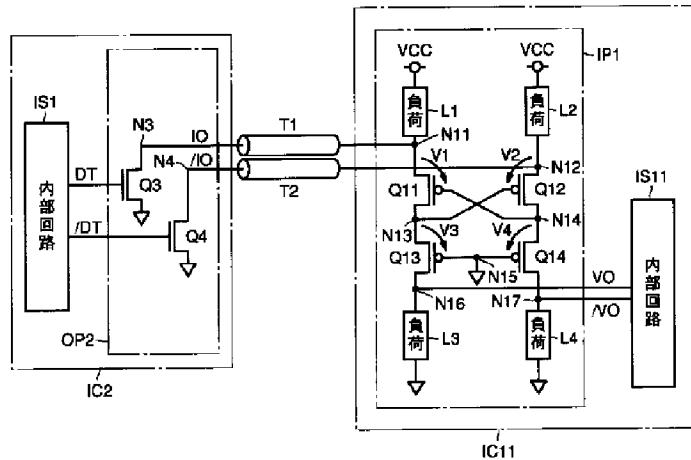
【図3】



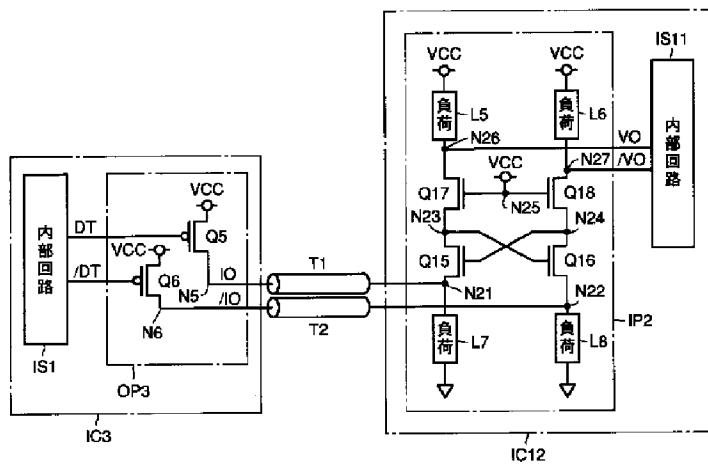
【図4】



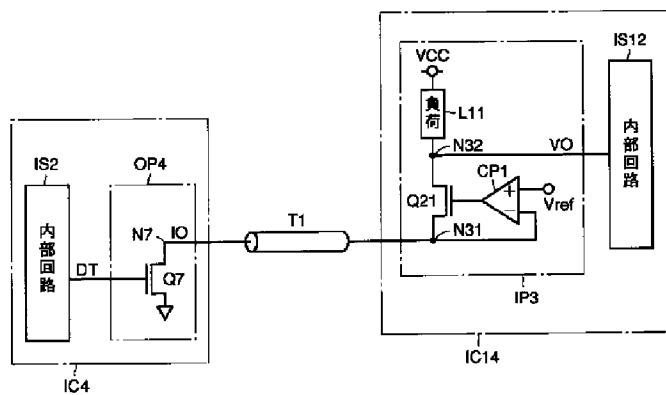
【図5】



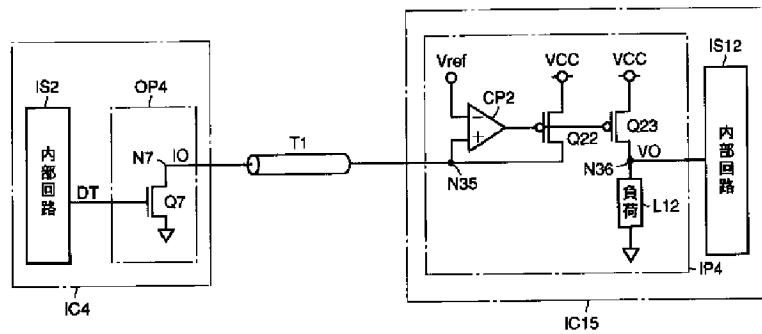
【図6】



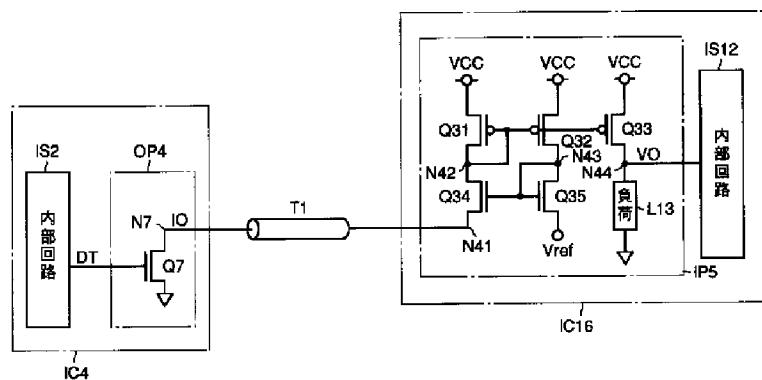
【図7】



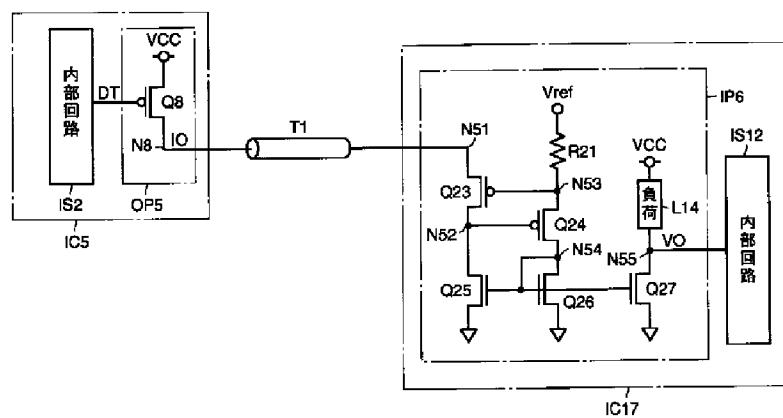
【図9】



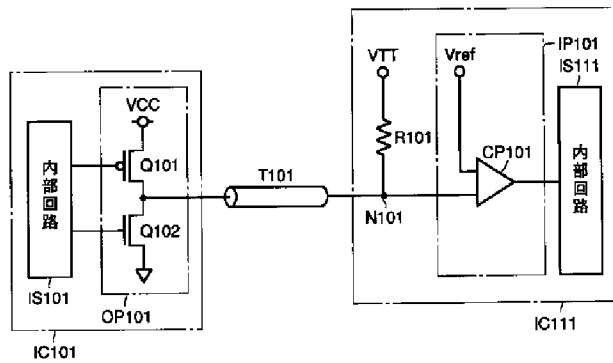
【図10】



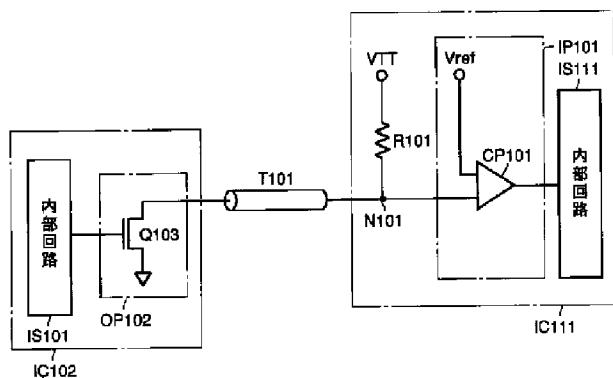
【図11】



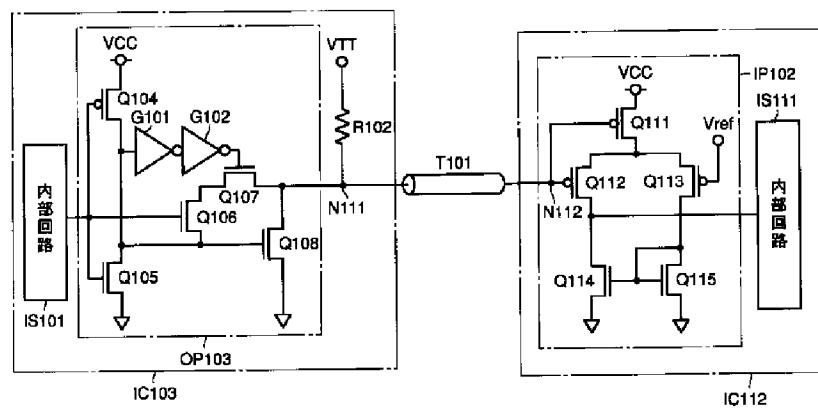
【図12】



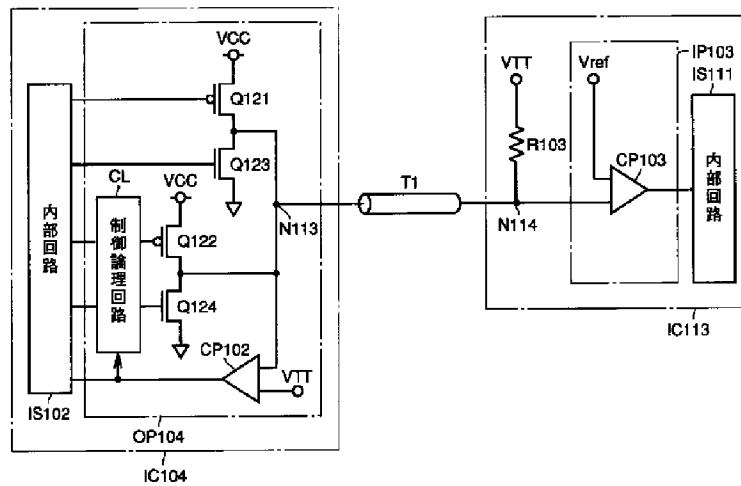
【図13】



【图14】



【図15】



フロントページの続き

(51) Int. Cl.⁶

H O 3 K 19/0944

識別記号

序内整理番号

F I

技術表示箇所

H03K 19/092

19/094

A



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification 6 : H03C 3/40		A1	(11) International Publication Number: WO 96/15585
			(43) International Publication Date: 23 May 1996 (23.05.96)
<p>(21) International Application Number: PCT/GB95/02637</p> <p>(22) International Filing Date: 9 November 1995 (09.11.95)</p> <p>(30) Priority Data: 9422683.4 10 November 1994 (10.11.94) GB</p> <p>(71) Applicant (for all designated States except US): AT & T WIRELESS COMMUNICATIONS PRODUCTS LIMITED [GB/GB]; 2nd floor, Kings Walk, Silver Hill, Winchester, Hampshire SO23 8AF (GB).</p> <p>(72) Inventor; and</p> <p>(75) Inventor/Applicant (for US only): McCABE, David, James [GB/GB]; AT & T Wireless Communications Product Limited, 2nd floor, Kings Walk, Silver Hill, Winchester, Hampshire SO23 8AF (GB).</p> <p>(74) Agent: BOYDELL, John, Christopher; Stevens, Hewlett & Perkins, 1 Serjeants' Inn, Fleet Street, London EC4Y 1LL (GB).</p>		<p>(81) Designated States: CA, GB, US, European patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Published With international search report.</p>	
<p>(54) Title: RF TRANSMITTER</p>			
<p>(57) Abstract</p> <p>An IQ modulator in which digital I (155) and Q (153) signals, which are quadrature representations of a modulating function, are connected into corresponding analogue I (165) and Q (163) signals using a first (156, 135) and second (154, 135) sigma-delta Digital-to-Analogue Converter (DAC). The analogue I and Q signals are then combined with analogue quadrature representations of a carrier signal (160) using two multiplying circuit elements (166, 164) and an adding circuit element (168) to form an output signal substantially at the same frequency as the carrier signal but modulated by the modulating function. Each sigma-delta DAC includes both an adder having a carry output which toggles between a high and a low level at a rate much higher than the bandwidth of the analogue signal to be generated, and a low pass filter arrangement (135).</p>			

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AT	Austria	GB	United Kingdom	MR	Mauritania
AU	Australia	GE	Georgia	MW	Malawi
BB	Barbados	GN	Guinea	NE	Niger
BE	Belgium	GR	Greece	NL	Netherlands
BF	Burkina Faso	HU	Hungary	NO	Norway
BG	Bulgaria	IE	Iceland	NZ	New Zealand
BJ	Benin	IT	Italy	PL	Poland
BR	Brazil	JP	Japan	PT	Portugal
BY	Belarus	KE	Kenya	RO	Romania
CA	Canada	KG	Kyrgyzstan	RU	Russian Federation
CF	Central African Republic	KP	Democratic People's Republic of Korea	SD	Sudan
CG	Congo	KR	Republic of Korea	SE	Sweden
CH	Switzerland	KZ	Kazakhstan	SI	Slovenia
CI	Côte d'Ivoire	LI	Liechtenstein	SK	Slovakia
CM	Cameroon	LK	Sri Lanka	SN	Senegal
CN	China	LU	Luxembourg	TD	Chad
CS	Czechoslovakia	LV	Latvia	TG	Togo
CZ	Czech Republic	MC	Monaco	TJ	Tajikistan
DE	Germany	MD	Republic of Moldova	TT	Trinidad and Tobago
DK	Denmark	MG	Madagascar	UA	Ukraine
ES	Spain	ML	Mali	US	United States of America
FI	Finland	MN	Mongolia	UZ	Uzbekistan
FR	France			VN	Viet Nam
GA	Gabon				

RF TRANSMITTER

The invention relates to RF transmitters and in particular to a subsystem of an RF transmitter which 5 is realised in a novel way giving particular advantages.

It is known practice to realise an RF transmitter system using an IQ modulator. This technique is used to superimpose a modulation of 10 amplitude, phase, or frequency on a constant carrier waveform. To achieve this, two signals (usually denoted I and Q) are generated which represent the modulating function, but centred on zero frequency. The two signals are quadrature representations of the 15 modulating function, i.e. their corresponding frequency components are all separated by 90° phase. These signals are then multiplied by quadrature carriers (usually constant amplitude and frequency sine and cosine waves), and the two results summed. The output 20 is a carrier at the frequency of the original carriers, but with the modulation function from the I and Q signals applied to it.

Figure 1 illustrates the operation of a conventional IQ frequency modulator. Input signals I and Q are input along lines 65 and 63 to two circuit 25 elements 66 and 64. Two further inputs 60,61, one to each circuit element, originate from the same input line 60 but one of these has a 90° phase shifter 62 located before the circuit element 66. The outputs of 30 the two circuit elements 66 and 64 are inputted to a third circuit element 68 and the output of the modulator is passed out from here along output line 71. The I and Q signals correspond to sine and cosine waves 35 which are frequency modulated about zero frequency, and these are multiplied by sine and cosine waves at 100MHz. This results in an output which is a frequency modulated

- 2 -

wave at 100MHz. In order to see that this will indeed be the case one simply needs to consider the well known trigonometric identity:-

5 Equation 1): $\sin(c + m) = \sin(c) \times \cos(m) + \cos(c) \times \sin(m);$

where c = the carrier frequency, and m = the modulating frequency (ie. the frequency of the I and Q signals).

10 The first, second and third circuit elements 64, 66, 68 of Figure 1 act as operators which correspond directly to the algebraic operations in Equation 1). That is, first 64 and second 66 circuit elements act to multiply together the two input signals 60, 63; 61, 65 to each element 64, 66. The Q signal is 15 input to the first circuit element 64 via line 63 together with a 100MHz sine wave carrier signal which is sent along line 60; the Q signal corresponds to the $\cos(m)$ term of Equation 1) while the carrier signal corresponds to the $\sin(c)$ term. Similarly the I signal 20 (corresponding to the $\sin(m)$ term) sent along line 65, and the 100MHz cosine wave carrier signal (corresponding to the $\cos(c)$ term) formed by passing the sine wave carrier signal through a $\pi/2$ phase-shifting circuit element 62 sent along line 61, are 25 inputted to the second circuit element 66. The output product signals are then inputted to the third circuit element 68 which simply adds the two signals together. The output sum signal sent along line 71 is the 100MHz sine wave carrier signal, frequency modulated by the 30 frequency of the I and Q signals as required, and corresponds to the $\sin(c + m)$ term of Equation 1).

35 It will be noted that this process requires in phase and quadrature versions of both the carrier and the modulating signals. This technique avoids the need to directly modulate the frequency of the carrier wave, which can be troublesome if it is synthesised or

derived from a crystal.

Typically, radio transmitters seeking to transmit a digitally encoded signal have used conventional digital-to-analogue converters (DAC's) based on a combination of scaled resistor values. 5 Generally in these DAC's the resistors double in value and are respectively connected to the outputs of, for example, a register, from which the output signals correspond to the bits of a binary number, stored in 10 the register, which it is desired to convert into an analogue voltage. These conventional DAC's require matching of values to achieve high accuracy output. Generally it is difficult to achieve matching between 15 the resistive elements used better than about 1%; this corresponds to about 6 bits of resolution (on an analogue chip process). This can be improved by using larger area components or by trimming, both of which, however, incur extra cost. Generally it is convenient to use digital chip processes whenever possible since 20 this will reduce the costs involved and increase the choice of IC vendor. However, the sort of components available on digital IC's for use in a conventional DAC are even cruder.

According to the present invention there is 25 provided an IQ modulator comprising digital to analogue conversion means for receiving a digital I and a digital Q signal, which are quadrature representations of a modulating function, and converting said digital I and Q signals into corresponding analogue signals and combination means for combining said analogue signals with analogue, quadrature representations of a carrier 30 signal having a constant carrier frequency to form an output, analogue signal substantially at the carrier frequency but modulated by the modulating function, 35 wherein the digital to analogue conversion means includes a first and second sigma-delta DAC for

converting said digital I and Q signals respectively into corresponding analogue signals.

Preferably the sigma-delta DAC includes an adder having a first input to which a binary number to be converted is applied and a carry output which may toggle between a high and a low level and a low pass filter connected to the carry output. The adder repeatedly adds the binary number to be converted to an accumulating total applied to a second input of the adder until the accumulating total exceeds the maximum number which the adder may output. At this point the carry output goes high.

The adder preferably has a sum output connected to the second input via a register. The sum output is generally a binary number equal to the sum of the two numbers input at the first and second inputs of the adder. The register is clocked and repeatedly presents the sum output of the previous clock cycle to the second input of the adder as the accumulating total. When the sum of the two inputs exceeds the maximum number which may be outputted on the sum output, the carry output goes high and the sum output wraps around as explained below.

The carry output is preferably gated by being passed into a simple flip-flop which is preferably clocked at the same rate as the register such that the output of the flip-flop is high for a whole clock cycle whenever the carry output goes high. The low pass filter is then preferably connected to the output of the flip-flop.

Preferably the low pass filter has a breakpoint frequency, at which frequency the ratio of the amplitude of a signal passing into the filter to the amplitude of the output signal would be $1/\sqrt{2}$, which breakpoint frequency is lower than the rate at which the register connected to the adder is clocked.

Preferably before the low pass filter the carry output of each adder is split into two branch lines and each DAC further includes a notch filter arrangement comprising a delaying shift register located on one of said branch lines for delaying the signal along said one of said branch lines by a predetermined amount, and a reconstruction filter arrangement in which the signals along said two branch lines are recombined.

The low pass filter and the reconstruction filter arrangement may conveniently be combined to form a low-pass, reconstruction filter.

The IQ modulator is preferably incorporated into a radio transmitter for use in a radio telecommunication system; preferably the radio transmitter will be a CT2 radio transmitter.

In the preferred system to be described, the baseband I and Q signals are generated using a form of sigma-delta DAC which can be implemented in a particularly simple way if only moderate signal to noise ratios are required as is usual in digital communication systems. In such systems the data can be easily recovered without error in the presence of a small amount of noise.

In order that the present invention may be better understood embodiments thereof will now be described by way of example only with reference to the accompanying drawings in which:-

Figure 1 is a diagrammatic representation of a known arrangement of an IQ modulator for performing frequency modulation;

Figure 2 is a diagrammatic representation of a sigma-delta Digital-to-Analogue Converter (DAC);

Figure 3 is a diagrammatic representation of an arrangement for adding a notch-filter response to the output of a sigma-delta DAC;

Figure 4 is a diagrammatic graph of signal amplitude vs. signal frequency showing the effect of a notch filter; and

5 Figure 5 is a diagrammatic representation of a CT2 radio transmitter incorporating an IQ modulator according to the present invention.

Figure 2 illustrates the operation of a sigma-delta DAC. In a sigma-delta DAC, the raw converter output is digital, and toggles between only 10 two levels (denoted 0 and 1). The digital output DO toggles at a rate much higher than the bandwidth of the analogue signal to be generated, the rate being controlled by a system clock 20. This output is low pass filtered at a frequency slightly larger than the 15 bandwidth of the analogue signal to obtain the output waveform 19. The converter is controlled by logic such that the duty cycle of the output corresponds to the required output level. Thus for a low output the converter digital output DO spends most of its time at 20 0, and for a high output it is mostly 1. By varying the duty cycle, any voltage between the two extremes can be obtained. Unlike pulse width modulation schemes, the digital output is only high or low for whole periods of the DAC clock. The accuracy and 25 repeatability of the DAC output mainly comes from the stability of the output buffer voltage supply and the clock frequency, and is relatively independent of external component values, which is advantageous.

30 A simple realisation of the sigma-delta DAC is shown in Figure 2. A number N representing the output value is input at input terminal 10 to a register 11 and forms the input signal to the sigma-delta DAC. It represents the output level to be produced by the DAC. It is updated periodically to 35 make the output waveform. This number is fed to an adder 21, where a number A repeatedly has N added to

itself ($A := N + A$). This process is effected by taking the sum output 24 of the adder 21 and inputting it to a further register 12. In each clock cycle the sum from the previous cycle is shifted to the output of the further register 12 and applied to one of the inputs of the adder 21. This occurs at the rate of the system clock 20 which is higher than the rate at which N is changed which is determined by the sample clock 23. The number A increases until the register 21 overflows, whereupon the number 'wraps around' to A modulus ($M+1$), where M is the maximum value the register 21 can hold. The signal 22 from the adder 21 which indicates overflow is retimed by a simple flip-flop 13, and is used as the DAC output, when suitably buffered by an output buffer 14. The duty cycle of this signal is directly proportional to the number N, and so the low-pass filtered voltage derived from it is proportional to N. The low-pass filter 15 shown here simply comprises a resistor 16 and a capacitor 17 connected to ground 18. The signal is retimed so that the finite propagation delays in the logic to generate the carry output do not affect the duty cycle.

In the implementation to be described, the converter is realised with a normal logic output buffer as is commonly found on any digital IC, together with a discrete RC post-filter. This realisation has the particular advantage that the analogue IQ function may be realised on a purely digital IC, thus reducing costs and widening the choice of IC vendor. In addition, the sigma-delta technique has advantages of inherent monotonicity and (provided the output is loaded by a relatively high impedance) well controlled accuracy and offset. By suitable choice of output buffer, its impedance can be made low compared to the load of the post filter, and acceptably small errors result. One reason why it is particularly advantageous in the

present invention that the chosen DAC's should achieve good linearity and monotonicity is because the I and Q waveforms at any instant will have very different values (because they are a quarter of a cycle out of phase). 5 If the DAC's do not have good linearity and monotonicity the digital I and Q signals will not be correctly converted into analogue signals which differ only in their phase. Such errors in conversion cause spurious products in the modulated output.

10 Figure 3 shows a notch filter which is specially adapted for use with a sigma-delta DAC. This has the advantage that well controlled filtering of the I and Q signals may be obtained by simple manipulation of the digital signals feeding an output filter 35. 15 In the particular implementation of interest, the logic signal output (I or Q) from the sigma-delta DAC is split into two signals which are presented to 2 output buffers 33, 34, one via a delaying shift register 30 which introduces a delay of 20 several clock cycles. The two outputs are summed in the reconstruction filter 35. This delay and sum action imparts a notch filter response on the analogue output. Frequencies where the delay of the shift register 30 is an odd number of half cycles are cancelled. The 25 cancellation frequencies depend only on the frequency of the system clock 20 and are thus extremely repeatable. The depth of the cancellation notch depends on the matching of the two summing resistors 37, 38.

30 The graph of Figure 4 illustrates the effect of a notch filter. The output signal from an IQ modulator is shown with its amplitude (A) along the vertical axis plotted against its frequency (F) along the horizontal axis. The output signal is plotted both 35 without the notch filter applied (U) and with (V). In both cases it can be seen that the wanted part of the

signal (S) has the largest amplitude and is centred around the carrier frequency (fc). However, in the case of the unfiltered signal (U) the amplitude of the noise (N) only falls off slowly away from the wanted 5 part of the signal (S), whilst the noise in the filtered signal (V) falls off very rapidly to zero at frequencies of $\pm 500\text{kHz}$ either side of the carrier frequency (fc). In this case the filter has a depth of 100% which would require the two summing resistors 37, 10 38 of Figure 3 to have equal resistances.

Figure 5 shows the currently preferred IQ modulator and notch filter arrangement incorporated into a CT2 radio transmitter. A microphone 102 initially detects an audio signal and converts it into 15 an analogue electrical signal which is amplified by an initial amplifier 104. The amplified analogue speech signal 105 is then passed into a speech encoder 106. The resulting signal is a 32 k bit/s digitally encoded speech signal 107. This signal is passed into a speech 20 buffer 108 which re-transmits the signal at a faster bit rate in short bursts. These bursts of speech signals are then combined with signalling data 110 and synchronisation data 111 in a CT2 burst formatter to produce CT2 format bursts at a bit rate of 72 k bit/s.

25 In order to radio transmit the information contained in the CT2 format bursts, the bursts are converted into suitable modulating signals and used to modulate a carrier signal at the desired carrier frequency suitable for radio-transmission. This is 30 done in two stages by the IQ modulator. Firstly analogue I and Q signals are generated by a first part 150 of the IQ modulator. These are quadrature representations of a modulating signal (such as a sine wave) frequency modulated about zero Hz by a modulating 35 function representative of the information stored in the CT2 bursts. Then these analogue I and Q signals

are combined with a carrier signal to produce the required modulated signal by a second part 162, 164, 166, 168 of the IQ modulator.

In the first part 150 of the IQ modulator, 5 the CT2 format signal bursts are firstly processed by a digital IQ signal generator 152 which outputs a digital I signal 155 and a digital Q signal 153. The digital I and Q signals essentially represent "sample values" of the values which the analogue I and Q signals, which it 10 is desired to create, should have at the discrete "sampling" times. In the present embodiment 20 such sample values are produced for each section of the I and Q signals representing one bit of the CT2 format signal entering the digital IQ signal generator 152. 15 The "sample" values take the form, in the present embodiment, of 8-bit binary numbers. These are then input into the sigma-delta DAC's 154, 156. Being updated 20 times for every CT2 bit, amounts to a rate of 1.44 M bit/s; this corresponds to the rate of the 20 sample clock 23 of Figure 2.

Meanwhile, the output signals 129, 131 from the sigma-delta DAC's 154, 156, are toggling at a rate of 7.2 M bit/s. However, the maximum frequency which the I and Q signals need have is 36 kHz thus the 25 requirement that the digital output DO should toggle at a rate much higher than the bandwidth of the signal to be generated is easily satisfied in this case; in fact the digital output DO toggles at a rate about 2 orders of magnitude greater than the bandwidth of the I and Q 30 signals being generated.

The digital output signals, whose duty cycles correspond to the analogue I and Q signals required, are buffered and then passed through low-pass, reconstruction filters 135. The outputs from the 35 filters are the required analogue I 165 and Q 163 signals. The I signal 165 is then combined with the

- 11 -

carrier signal 160 (an 866 MHz sine wave), having passed through a $\pi/2$ phase shifter 162, by multiplication in a first multiplying circuit element 166. Similarly the Q signal 163 is combined with the 5 carrier signal 160 (without having passed through a phase-shifter) in a second multiplying circuit element 164. The outputs of the two multiplying circuits are then added together in an adding circuit 168 to produce an 866 MHz frequency modulated signal. Finally this 10 signal is amplified in an RF power amplifier 170 and transmitted via an aerial 172.

As was mentioned above, other forms of modulation can be performed utilising the same basic IQ modulation structure as shown in Figure 5. For example 15 single side-band amplitude modulation can be performed if the digital I and Q signals simply take the form of quadrature representations of an audio type signal. The resultant effect is to increase the frequencies of the audio type signal by the carrier frequency (ie. the 20 signal is translated along the frequency spectrum by the frequency of the carrier signal).

The main advantages of IQ modulation over other forms of modulation are that the modulating waveforms can be generated at a low frequency (which is 25 easier), and the need to modulate the carrier signal places no requirements on the carrier signal generation system which is entirely separate.

CLAIMS

1. An IQ modulator comprising digital to analogue conversion means for receiving a digital I and a digital Q signal, which are quadrature representations of a modulating function, and converting said digital I and Q signals into corresponding analogue signals and combination means for combining said analogue signals with analogue, quadrature representations of a carrier signal having a constant carrier frequency to form an output, analogue signal substantially at the carrier frequency but modulated by the modulating function, wherein the digital to analogue conversion means includes a first and second sigma-delta DAC for converting said digital I and Q signals respectively into corresponding analogue signals.

2. An IQ modulator as claimed in claim 1 wherein each sigma-delta DAC includes:

20 an adder having a first input to which a binary number to be converted is applied, said adder having a carry output; and

25 a low pass filter connected to the carry output whereby the adder repeatedly sums the binary number to be converted and an accumulating total applied to a second input of said adder, and whereby the carry output is high, or low, depending upon whether the sum of the binary number and the accumulating total exceeds, or does not exceed, respectively a predetermined maximum number.

30 3. An IQ modulator as claimed in claim 2 wherein the adder of each sigma-delta DAC has a sum output which is connected to said second input via a register which is clocked by a system clock, said register being operable to generate said accumulating total from the sum output of said adder.

35 4. An IQ modulator as claimed in claim 3 wherein

- 13 -

each sigma-delta DAC further comprises a flip-flop which is connected to the carry output of the adder and is clocked at the same rate as the register whereby whenever the carry output goes high the flip-flop goes 5 high for a whole clock cycle.

5. An IQ modulator as claimed in any one of claims 2 to 4 wherein the carry output of each adder is split into two branch lines before the low pass filter and each sigma-delta DAC further includes a 10 notch filter arrangement comprising a delaying shift register located on one of said branch lines for delaying the signal along said one of said branch lines by a predetermined amount, and a reconstruction filter arrangement in which the signals along said two branch 15 lines are recombined.

6. An IQ modulator as claimed in claim 5 wherein said low pass filter and said reconstruction filter arrangement are combined into a single low pass, reconstruction filter.

20 7. An IQ modulator as claimed in any one of claims 2 to 5 wherein each sigma-delta DAC further comprises one or more buffers connected between the carry output of the adder and the low pass filter.

25 8. A radio transmitter incorporating an IC modulator as claimed in any one of the preceding claims.

Fig.1.

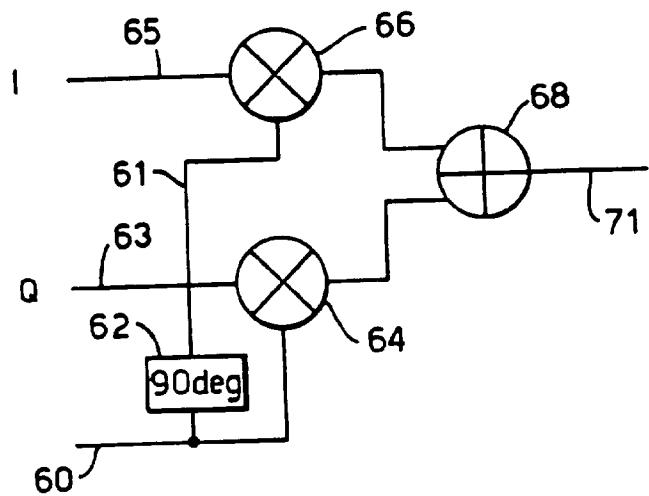


Fig.2.

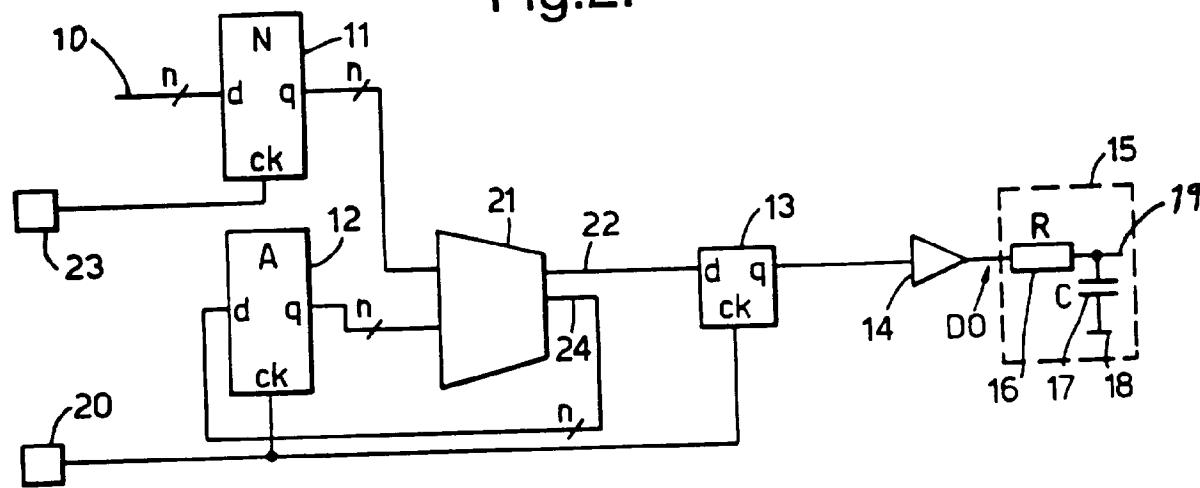
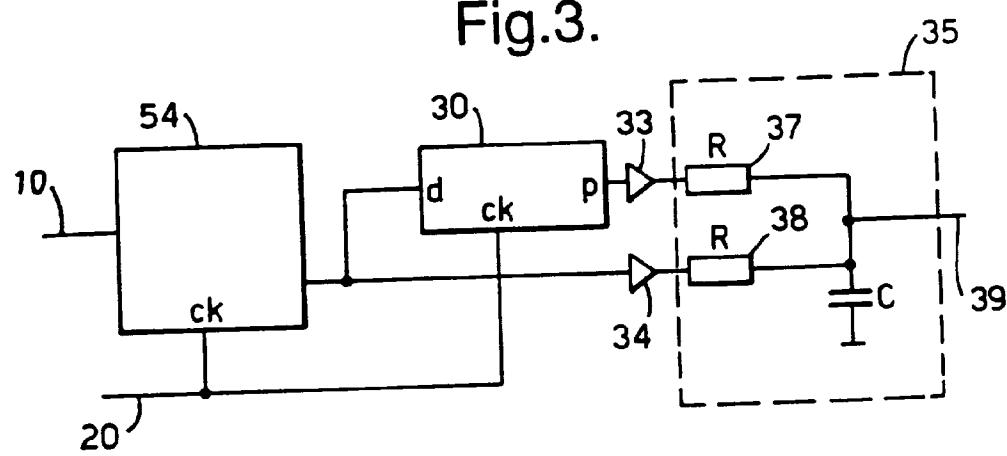


Fig.3.



2/2

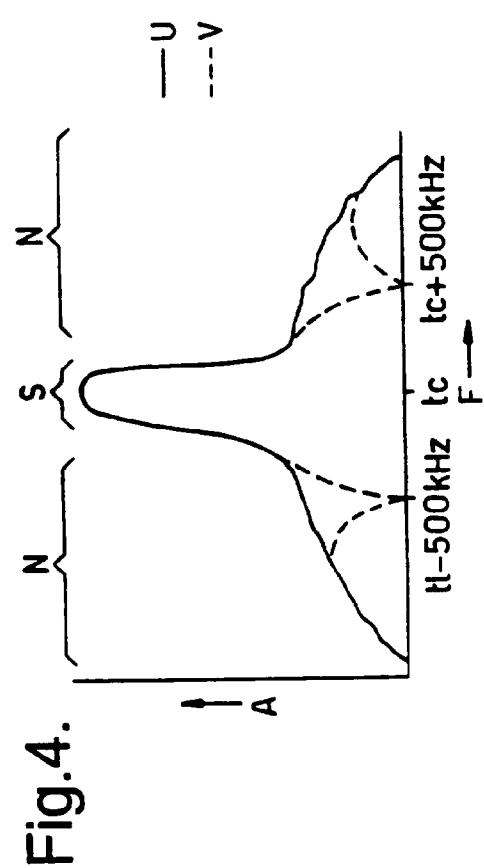


Fig.4.

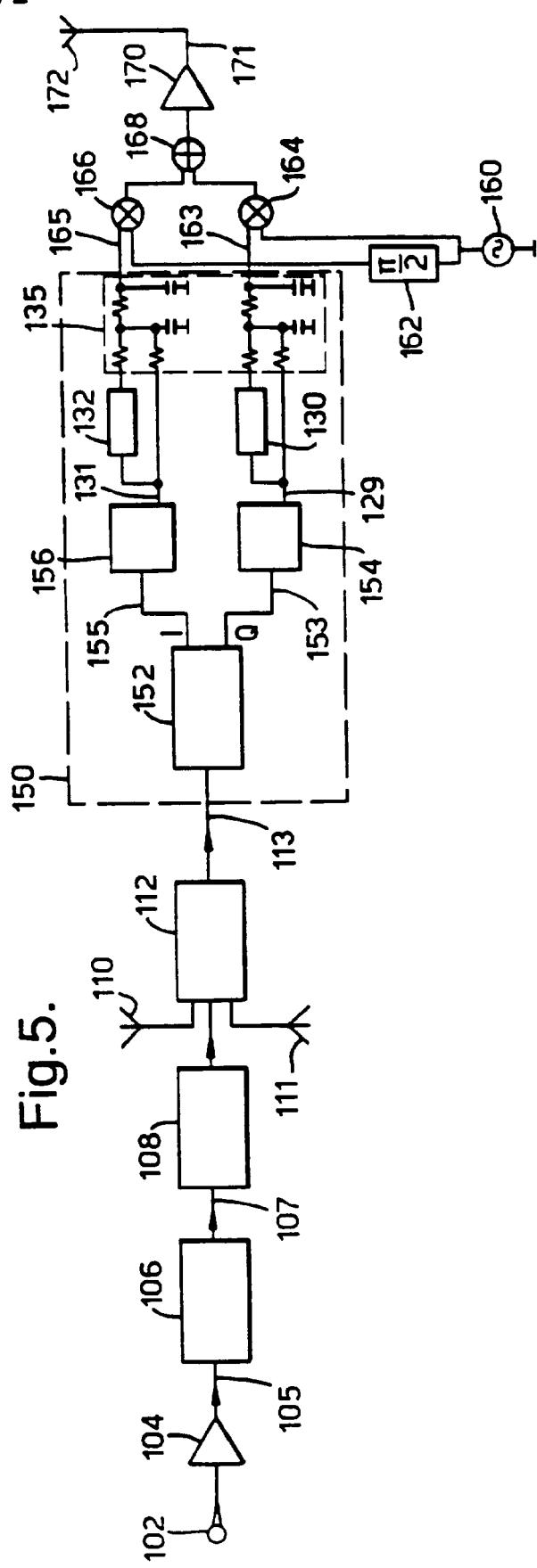


Fig.5.

INTERNATIONAL SEARCH REPORT

Int. Application No
PCT/GB 95/02637

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H03C3/40

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H03C H03M H04B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP,A,0 595 781 (ERICSSON - GE MOBILE COMMUNICATIONS INC.) 4 May 1994 see page 9, line 29 - line 55; figure 15 ---	1
A	US,A,5 351 016 (DENT) 27 September 1994 see column 12, line 33 - line 68; figure 3 ---	1
A	US,A,5 196 850 (DUFFY ET AL.) 23 March 1993 see abstract; figure 4 -----	2

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- 'A' document defining the general state of the art which is not considered to be of particular relevance
- 'E' earlier document but published on or after the international filing date
- 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- 'O' document referring to an oral disclosure, use, exhibition or other means
- 'P' document published prior to the international filing date but later than the priority date claimed

- 'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- 'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- 'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- '&' document member of the same patent family

1

Date of the actual completion of the international search

14 February 1996

Date of mailing of the international search report

06.03.96

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Peeters, M

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. onal Application No
PCT/GB 95/02637

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
EP-A-595781	04-05-94	AU-B-	5454094	24-05-94
		CA-A-	2126850	11-05-94
		CN-A-	1088376	22-06-94
		FI-A-	943058	22-08-94
		JP-T-	7507670	24-08-95
		WO-A-	9410779	11-05-94
US-A-5351016	27-09-94	FR-A-	2705852	02-12-94
US-A-5196850	23-03-93	DE-A-	4237875	19-05-93
		GB-A,B	2261561	19-05-93
		JP-A-	6181438	28-06-94